

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 27/105(11) 공개번호 특2001-0029442
(43) 공개일자 2001년04월06일

(21) 출원번호 10-1999-0065074

(22) 출원일자 1999년12월29일

(30) 우선권주장 10199900387091999년09월10일대한민국(KR)

(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416(72) 발명자 이용탁
경기도용인시수지읍죽전리832번지벽산타운1단지109동1503호
조학주
서울특별시서초구방배2동974-16
김영관
경기도성남시분당구서현동87번지한신아파트112동1501호(74) 대리인 이영필
정상빈
곽덕영

심사청구 : 있음

(54) 캐패시터 보호막을 포함하는 반도체 메모리 소자 및 그제조방법

요약

본 발명은 캐패시터 보호막을 포함하는 반도체 메모리 소자 및 그 제조방법에 대한 것이다. 본 발명에 따른 반도체 메모리 소자에 포함되는 캐패시터의 전 표면은 다중막으로 구성된 캡슐화막(encapsulating layer)에 의하여 감싸여진다. 상기 캡슐화막은 적어도 서로 다른 물질로 이루어진 블라킹막(blocking layer)과 캐패시터 보호막(protection layer)을 포함한다. 상기 블라킹막은 캐패시터 유전막의 휘발방지용 및/또는 블라킹막의 하부에 구비된 물질막과 캐패시터 보호막 사이의 반응방지용 물질로 이루어지는 것이 바람직하다. 또한, 상기 캐패시터 보호막은 캐패시터 유전막으로의 수소 확산차단용 물질로 이루어지는 것이 바람직하다. 경우에 따라서, 본 발명에 따른 반도체 메모리 소자는 또 다른 캐패시터 보호막인 수소침투 방지막을 패시베이션막과 캐패시터 사이에 포함할 수도 있다. 본 발명에 따른 반도체 메모리 소자 제조방법은 상기와 같은 구조를 가지는 반도체 메모리 소자의 제조방법을 제공한다.

대표도

도1a

명세서

도면의 간단한 설명

도 1a는 본 발명에 따른 반도체 메모리 소자의 제 1 실시예를 도시한 단면도이다.

도 1b는 본 발명에 따른 반도체 메모리 소자의 제 2 실시예를 도시한 단면도이다.

도 2a 내지 도 2e는 본 발명에 따른 반도체 메모리 소자에 포함될 수 있는 도전성 플러그, 계면막 및 캐패시터의 구조에 대한 제 1 내지 제 5 실시예를 도시한 부분 단면도들이다.

도 3a 내지 도 3j는 본 발명에 따른 반도체 메모리 소자 제조방법의 제 1 실시예를 도시한 공정 단면도들이다.

도 4a 내지 도 4b는 본 발명에 따른 반도체 메모리 소자 제조방법의 제 2 실시예를 도시한 공정 단면도들이다.

도 5는 본 발명에 따른 반도체 메모리 소자 제조방법의 제 6 실시예를 도시한 공정 단면도들이다.

도 6 및 도 7은 본 발명에 따른 반도체 메모리 소자 제조방법을 적용하여 시편1을 만들고, 캐패시터 유전막의 분극 이력곡선 및 캐패시터의 누설전류 특성을 각각 도시한 그래프들이다.

도 8 및 도 9는 본 발명에 따른 반도체 메모리 소자 제조방법에 의하여 만들어진 시편1(실험군)과 다른 방법에 의하여 만들어진 시편2 및 시편3(대조군)에 대하여 분극 이력곡선 및 배리어 콘택저항을 각각 도시한 그래프들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 메모리 소자 및 그 제조방법에 대한 것으로서, 상세하게는 캐패시터 보호막을 포함하는 반도체 메모리 소자 및 그 제조방법에 대한 것이다.

최근 들어, 반도체 메모리 소자의 캐패시터 유전막을 강유전체로 형성하기 위한 연구가 주목을 받고 있다. 비휘발성 반도체 메모리 소자의 경우, 강유전체의 자발분극(remnant polarization, 이하 'P

, '이라함) 현상이, 현재 널리 사용되는 디지털 기억 소자의 기본이 되고 있는 이진 기억(binary memory) 개념과 합치되기 때문이다. 현재, 널리 사용되고 있는 강유전체 물질로는 PZT(Pb(Zr, Ti)O

3), SBT(SrBi₂Ta₂O₉) 등이 있다.

그런데, 반도체 메모리 소자의 캐패시터 유전막을 강유전체로 형성하는데 있어서, 가장 장애가 되는 문제 중 하나는, 캐패시터 유전막으로 채워진 강유전체의 강유전 특성이 캐패시터 형성공정 이후에 수행되는 반도체 메모리 소자의 집적공정(integration process)에서 열화된다는 것이다. 반도체 메모리 소자의 집적과정에서 강유전체로 된 캐패시터 유전막이 열화되는 문제를 이하에서 구체적으로 살펴보면, 반도체 메모리 소자의 제조에 있어서 캐패시터 형성공정을 수행한 이후에는 ILD(Interlayer Dielectric)공정, IMD(InterMetal Dielectric)공정, 패시베이션(Passivation) 공정 등이 수행된다. 그런데, 이러한 공정들을 수행하는 동안에는 캐패시터 유전막을 열화시킬 수 있는 불순물, 특히 수소가 유발될 수 있다. 유발된 수소는 공정이 진행되는 동안 직접적으로 캐패시터 유전막으로 침투하기도 하고, 상기 공정에서 형성되는 ILD막, IMD막 또는 패시베이션막 내에 봉입되어 캐패시터 유전막으로 간접적으로 침투하기도 한다. 그 결과, 캐패시터 유전막으로 사용된 강유전체의 강유전 특성 중의 하나인 P

,이 감소하게 된다.

예를 들어, 강유전체 캐패시터를 반도체 기판에 형성한 이후에 실리콘 산화막으로 이루어진 층간절연막을 형성하기 위해 ILD공정을 진행하면, 캐패시터의 유전막이 열화되는 문제가 발생한다. 즉, PECVD(Plasma Enhanced Chemical Vapor Deposition)방법을 사용하여 실리콘 산화막으로 이루어진 층간절연막을 형성하는 ILD 공정에서는, 실란가스(SiH

4)와 산소가스(O₂)가 반응가스로 사용되며 실란가스와 산소가스가 반응하고 나면 수소가 부산물로 파생된다. 파생된 수소는 강유전체 캐패시터의 유전막으로 직접적으로 확산하여 캐패시터 유전막을 열화시키기도 하고, ILD공정에서 형성되는 층간절연막 내에 봉입되어 서서히 캐패시터 유전막을 열화시키기도 한다. 그 결과, 캐패시터 유전막의 P

,값이 감소되어, 캐패시터 유전막의 강유전 특성이 상실되는 문제까지 발생되기도 한다. 이처럼, 반도체 메모리 소자의 집적과정에서 캐패시터 유전막이 열화되는 문제는 층간절연막을 형성하기 위한 ILD공정에서만 발생하는 것은 아니며, 금속간 절연막을 형성하기 위한 IMD공정 및 패시베이션막을 형성하기 위한 패시베이션 공정에서도 실질적으로 동일한 문제가 발생하게 된다.

따라서, 이와 같은 문제를 해결하기 위하여 종래기술에 따른 반도체 메모리 소자 제조방법에서는, 캐패시터를 형성하고 나서 단일막으로 이루어진 절연막으로 캐패시터를 캡슐화(encapsulating)하는 방법을 사용하고 있다. 예를 들어, 미국특허 제 5,822,175 호는 수소확산에 의한 캐패시터 유전막의 열화문제를 해결하기 위해, 캐패시터를 실리콘 산화막, 도핑된 실리콘 산화막 또는 실리콘 질화막으로 캡슐화하는 방법을 개시하고 있다.

한편, 캐패시터 형성공정에 있어서는 캐패시터 유전막을 형성하고 나서 캐패시터 유전막을 결정화하여 절연특성을 강화하기 위해 600℃ 내지 800℃ 사이의 온도 및 산소 분위기하에서 열처리 공정이 수행된다. 또한, 캐패시터를 형성한 이후에도 캐패시터 형성공정 중에 수행한 건식 식각공정으로 인해 유발된 손상 회복 및 캐패시터의 안정화를 위해 450℃ 내지 600℃ 사이의 온도 및 산소 분위기하에서 열처리 공정이 수행된다.

그런데, 이러한 열처리 과정에서 반도체 기판 상의 불순물 주입영역, 예컨대 소오스 영역과 캐패시터를 전기적으로 연결하는 콘택 플러그로 산소가 확산하여 콘택저항의 증가를 초래하게 된다. 예를 들어, 콘택 플러그가 도핑된 폴리실리콘으로 이루어진 경우, 콘택 플러그로 확산한 산소는 폴리실리콘과 반응하여 콘택 플러그와 캐패시터의 계면에 실리콘 산화막을 형성하여 콘택저항을 증가

시킴에 따른다. 이러한 콘택저항의 증가는 반도체 메모리 소자의 동작속도를 저하시키는 요인으로 작용하게 된다.

발명이 이루고자하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 불순물 확산에 의한 캐패시터 유전막의 열화를 방지하는 캐패시터 보호막 및/또는 저저항 콘택용 물질막을 포함하는 반도체 메모리 소자를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 캐패시터 형성공정 이후에 수행되는 반도체 메모리 소자의 집적공정에서 캐패시터를 보호할 수 있게 하는 반도체 메모리 소자의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따른 반도체 메모리 소자에 따르면, 하부전극, 상부전극 및 상기 하부전극과 상부전극 사이에 삽입된 캐패시터 유전막을 포함하는 캐패시터, 상기 캐패시터의 전 표면을 감싸며 적어도 2개의 서로 다른 절연물질로 이루어진 물질막을 포함하는 다중 캡슐화막, 상기 다중 캡슐화막 상에 형성된 절연막 및 상기 다중 캡슐화막 및 상기 절연막을 관통하여 상기 상부전극을 콘택하는 메탈콘택을 포함한다.

상기 다중 캡슐화막은 적어도 블라킹막과 캐패시터 보호막을 포함하되, 상기 블라킹막이 상기 캐패시터 보호막의 안쪽에 구비되며 상기 블라킹막과 상기 캐패시터 보호막은 서로 다른 물질로 이루어진 것이 바람직하다.

상기 다중 캡슐화막이 2 중막일 경우에는, 상기 블라킹막은 메탈콘택이 상부전극을 콘택하는 부분을 제외하고 캐패시터의 전 표면을 감싸는 것이 바람직하고, 상기 캐패시터 보호막은 상기 블라킹막의 전 표면을 감싸는 것이 바람직하다.

상기 블라킹막은 블라킹막의 하부에 형성된 물질막과 상기 캐패시터 보호막 사이의 반응을 방지 및/또는 상기 캐패시터 유전막의 휘발을 방지할 수 있는 물질로 이루어지는 것이 바람직하다. 바람직하게는, 상기 블라킹막은 TiO

$_2$ 막, Ta_2O_5 막, $BaTiO_3$ 막, $SrTiO_3$ 막, $Bi_4Ti_3O_{12}$ 막 또는 $PbTiO_3$ 막일 수 있다.

상기 캐패시터 보호막은 절연막 내에 봉입된 수소가 캐패시터 유전막으로 침투하는 것을 방지할 수 있는 물질로 이루어지는 것이 바람직하다. 바람직하게는, 상기 캐패시터 보호막은 TiO

$_2$ 막, Ta_2O_5 막, Al_2O_3 막, $BaTiO_3$ 막, $SrTiO_3$ 막, $Bi_4Ti_3O_{12}$ 막 또는 $PbTiO_3$ 막이되, 상기 블라킹막을 이루는 물질과는 다른 물질로 이루어질 수 있다.

본 발명의 일 측면에 따른 반도체 메모리 소자는 상기 절연막 및 메탈콘택 상에 형성된 패시베이션막을 더 포함할 수 있다. 이 때, 상기 메탈콘택과 패시베이션막 사이에는 패시베이션막 내에 봉입된 수소가 캐패시터 유전막으로 침투하는 것을 방지하는 수소침투 방지막이 선택적으로 게재될 수 있다.

상기 수소침투 방지막은 Al_2O_3 막, TiO_2 막, Ta_2O_5 막, $BaTiO_3$ 막, $SrTiO_3$ 막, $Bi_4Ti_3O_{12}$ 막 또는 $PbTiO_3$ 막인 것이 바람직하다.

본 발명의 일 측면에 따른 반도체 메모리 소자는 상기 캐패시터 하부에 형성된 층간절연막, 및 상기 층간절연막 내에 구비되어 상기 캐패시터 하부전극과 전기적으로 연결되는 도전성 플러그를 더 포함하고, 상기 캐패시터 하부전극과 상기 도전성 플러그 사이에 코발트 실리사이드막이 구비된 계면막을 더 포함할 수도 있다.

본 발명의 일 측면에 따른 반도체 메모리 소자는, 상기 캐패시터 하부에 형성된 층간절연막, 및 상기 층간절연막 내에 구비되어 상기 캐패시터 하부전극과 전기적으로 연결되는 도전성 플러그를 더 포함할 수 있다. 이 때, 상기 도전성 플러그는 코발트 실리사이드막만으로 이루어지거나, 도전막과 코발트 실리사이드막이 순차적으로 적층된 2중막으로 이루어질 수도 있다.

본 발명의 다른 측면에 따른 반도체 메모리 소자는, 하부전극, 상부전극 및 상기 하부전극과 상부전극 사이에 삽입된 캐패시터 유전막을 포함하는 캐패시터 및 상기 캐패시터 전 표면을 직접적으로 감싸며 적어도 서로 다른 절연물질로 이루어진 블라킹막과 캐패시터 보호막을 가진 다중 캡슐화막을 포함한다. 이 때, 상기 블라킹막은 상기 캐패시터 보호막보다는 안쪽에 구비되는 것이 바람직하다.

본 발명의 또 다른 측면에 따른 반도체 메모리 소자는, 하부전극, 상부전극 및 상기 하부전극과 상부전극 사이에 삽입된 캐패시터 유전막을 포함하는 캐패시터, 상기 캐패시터 상에 형성된 절연막, 상기 절연막을 관통하여 상기 상부전극과 콘택하는 메탈콘택 및 상기 메탈콘택 상에 형성된 패시베이션막을 포함하는 반도체 소자로, 상기 메탈콘택과 패시베이션막 사이에 수소침투 방지막이 게재될 수 있다.

본 발명의 일 측면에 따른 반도체 메모리 소자 제조방법은, 먼저 하부전극, 상부전극 및 상기 하부전극과 상기 상부전극 사이에 삽입되는 캐패시터 유전막을 포함하는 반도체 메모리 소자의 캐패시터를 반도체 기판에 형성한다. 그런 다음, 상기 캐패시터의 전 표면에 다중 캡슐화막을 직접적으로 형성한다.

상기 다중 캡슐화막은 적어도 서로 다른 절연물질로 이루어진 블락킹막과 캐패시터 보호막을 포함하도록 형성하되, 상기 블락킹막을 캐패시터 보호막보다는 먼저 형성하는 것이 바람직하다.

상기 다중 캡슐화막이 2 중막일 경우에 상기 다중 캡슐화막 형성 단계는, 먼저 상기 캐패시터의 전 표면을 직접적으로 감싸는 블락킹막을 형성한다. 그런 다음, 상기 블락킹막의 전 표면을 직접적으로 감싸는 캐패시터 보호막을 형성한다.

본 발명의 일 측면에 따른 반도체 메모리 소자 제조방법은 상기 블락킹막을 형성한 이후에, 400℃ 내지 600℃ 사이의 온도 및 산소 분위기하에서 열처리하는 단계를 더 포함할 수 있다.

상기 블락킹막은 상기 블락킹막의 하부에 형성된 물질막과 상기 캐패시터 보호막 사이의 반응을 방지 및/또는 상기 캐패시터 유전막의 휘발을 방지할 수 있는 물질로 형성하는 것이 바람직하다. 바람직하게는, 상기 블락킹막은 TiO

₂막, Ta₂O₅막, BaTiO₃막, SrTiO₃막, Bi₄Ti₃O₁₂막 또는 PbTiO₃막으로 형성할 수 있다.

상기 캐패시터 보호막은 수소침투 방지용 물질로 형성하는 것이 바람직하다. 바람직하게는, TiO

₂막, Ta₂O₅막, Al₂O₃막, BaTiO₃막, SrTiO₃막, Bi₄Ti₃O₁₂막 또는 PbTiO₃막으로 형성하되, 상기 블락킹막을 이루는 물질과는 다른 물질막으로 형성하는 것이 바람직하다.

본 발명의 일 측면에 따른 반도체 메모리 소자 제조방법은 상기 다중 캡슐화막을 형성한 이후에, 상기 다중 캡슐화막 상에 절연막을 형성하는 단계와 상기 절연막을 관통하여 상기 상부전극을 콘택하는 메탈콘택을 형성하는 단계와 상기 메탈콘택이 형성되어 있는 반도체 기판의 전면에 패시베이션막을 형성하는 단계를 더 포함할 수 있다.

상기 패시베이션막을 형성하기 전에 반도체 기판의 전면에 수소침투 방지막을 형성하는 단계를 추가로 진행할 수 있다. 바람직하게는, 상기 수소침투 방지막은 Al

₂O₃막, TiO₂막, Ta₂O₅막, BaTiO₃막, SrTiO₃막, Bi₄Ti₃O₁₂막 또는 PbTiO₃막으로 형성할 수 있다.

상기 수소침투 방지막은 원자층 증착방법으로 형성하는 것이 바람직하다.

본 발명의 다른 측면에 따른 반도체 메모리 소자 제조방법은 반도체 기판 상에 소정의 반도체 집적회로 소자를 형성하는 단계 및 반도체 집적회로 소자가 형성된 상기 반도체 기판의 전면에 패시베이션막을 형성하는 단계를 포함하는 반도체 메모리 소자의 제조방법에 대한 것으로, 상기 패시베이션막을 형성하기 전에 수소침투 방지막을 상기 반도체 기판의 전면에 형성하는 단계를 더 포함할 수 있다.

이하에서는 첨부한 도면을 참조하여 본 발명에 따른 캐패시터 보호막을 포함하는 반도체 메모리 소자 및 그 제조방법에 대한 바람직한 실시예들을 상세하게 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예에 한정되는 것으로 해석되어져서는 아니 된다. 이하의 도면을 참조한 설명은 관련한 산업기술분야에서 평균적 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 도면상에서 층이나 영역들의 두께는 설명의 명확성을 위하여 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 상부에 있다고 기재한 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제 3의 층이 개재되어질 수 있다. 한편, 본 발명의 실시예에 따른 반도체 메모리 소자에 구비되는 캐패시터는 COB(Capacitor Over Bitline)구조를 가진다. 하지만, 본 발명에 따른 반도체 메모리 소자에 구비되는 캐패시터는 CUB(Capacitor Under Bitline)구조를 가질 수도 있음은 물론이다.

도 1a는 본 발명에 따른 반도체 메모리 소자의 구조에 대한 제 1 실시예를 도시한 단면도이다.

도 1a를 참조하면, 반도체 기판(100) 상에는 LOCOS공정에 의하여 형성된 소자분리막(102)이 활성영역을 정의하고 있고, 소자분리막(102)에 의하여 정의되는 활성영역 상에는 전계효과 트랜지스터(T)가 형성되어 있다. 물론, 상기 활성영역을 정의하는 소자분리막은 트렌치 소자분리 방법에 의하여 형성된 것일 수도 있다. 상기 전계효과 트랜지스터(T)는 게이트 전극(102), 소오스 영역(104) 및 드레인 영역(106)으로 이루어져 있고, 상기 게이트 전극(102)과 반도체 기판(100) 사이에는 산화막으로 이루어진 게이트 산화막(108)이 개재되며 게이트 전극(102)의 측벽에는 질화막으로 이루어진 측벽 스페이서(110)가 형성되어 있다.

상기 소자분리막(102) 및 전계효과 트랜지스터(T)가 형성된 반도체 기판(100)의 전면에는 인접하는 전계효과 트랜지스터(T)를 전기적으로 분리시키는 제 1 층간절연막(112)이 형성되어 있고, 제 1 층간절연막(112) 상에는 제 2 층간절연막(114)이 형성되어 있다. 제 1 층간절연막(112) 및 제 2 층간절연막(114)은 BSG(Borosilicate Glass)막, PSG(PhosphoSilicate Glass)막, BPSG(BoroPhosphoSilicate Glass)막, TEOS(TetraEthlyOrthoSilicate Glass)막, USG(Undopped Silicate Glass)막, 오존-TEOS막, PE(Plasma Enhanced)-TEOS막 또는 이들의 조합막일 수 있다. 그리고, 상기 제 1 층간절연막(112) 내에는 랜딩 플러그(116)가 형성되어 있고, 제 2 층간절연막(114) 내에는 비트라인 콘택패드(118)가 형성되어 있으며, 제 1 및 제 2 층간절연막(112 및 114) 내에는 도전성 플러그(120)가 형성되어 있다. 도시하지는 않았지만 상기 비트라인 콘택패드(118)는 비트라인(미도시)과 전기적으로 연결되고 상기 랜딩 플러그(116)는 반도체 기판(100) 상에 형성된 불순물 주입영역, 예컨대 드레인 영역(106)과 비트라인 콘택패드(118)를 전기적으로 연결한다. 상기 도전성 플러그(120)는 제 2 층간절연막(114) 상에 형성된 반도체 메모리 소자의 캐패시터(C)와 반도체 기판(100) 상에 형성된 불순물 주입영역, 예컨대 소오스 영역(104)을 전기적으로 연결한다. 상기 반도체 메모리 소자의 캐패시터(C)는 하부전극(122), 캐패시터 유전막(124) 및 상부전극(126)으로 구성되며, 상기 캐패시터(C)와 제 2 층간절연막

(114) 사이에는 계면막(128)이 게재되어 있다.

한편, 도 1a에서 도전성 플러그(120), 계면막(128) 및 캐패시터(C)를 도시함에 있어서는, 그 구체적인 구조를 생략하고 도시하였다. 왜냐하면, 본 발명에 따른 반도체 메모리 소자의 구조에 있어서는 도전성 플러그(120), 계면막(128) 및 캐패시터(C)가 다양한 구조를 가질 수 있기 때문이다. 따라서, 도전성 플러그(120), 계면막(128) 및 캐패시터(C)의 다양한 구조는 도 2a 및 도 2e를 참조하여 이후에 상세하게 설명하기로 한다.

상기 상부전극(126)의 일부표면을 제외한 캐패시터(C)의 전 표면 및 제 2 층간절연막(114) 상에는 캐패시터(C)를 보호하는 캡슐화막(Encapsulating Layer: 이하 'EL'이라 칭함)이 다중막으로 형성되어 있다. 또한, 상기 캡슐화막(EL) 상에는 제 3 층간절연막(134)이 형성되어 있고, 캡슐화막(EL)이 형성되어 있지 않은 상부전극(126) 상에는 상부전극 메탈콘택(136)이 형성되어 있다. 상기 제 3 층간절연막(134)은 BSG막, PSG막, BPSG막, TEOS막, USG막, 오존-TEOS막, PE-TEOS막 또는 이들의 조합막일 수 있다.

다중막으로 구성된 캡슐화막(EL)은 캐패시터(C)를 보호하기 위해 다음과 같은 기능을 수행하는 것이 바람직하다. 먼저, 캐패시터 유전막(124)의 휘발을 방지하여야 한다. 예를 들어, 캐패시터 유전막(124)이 PZT막, BST막 또는 PLZT막과 같은 고유전체막 또는 강유전체막으로 이루어진 경우에 캐패시터 유전막(124) 내의 산소원자가 캐패시터 유전막(124)에서 이탈하는 것을 방지하여야 한다. 왜냐하면, 캐패시터 유전막(124)이 휘발하면 캐패시터(C)가 열화되어 축적된 전하에 의하여 정보를 저장하는 고유의 기능을 상실하기 때문이다. 또한, 캡슐화막(EL)은 캐패시터(C) 주변에 형성되어 있는 물질막, 예컨대 제 3 층간절연막(134) 내에 봉입된 수소가 캐패시터 유전막(124)으로 확산하는 것을 차단할 수 있어야 한다.

따라서, 캡슐화막(EL)은 적어도 서로 다른 절연물질로 이루어진 블라킹막과 캐패시터 보호막을 구비하는 것이 바람직하다. 여기에서, 캐패시터 보호막은 수소가 캐패시터 유전막(124)으로 확산하는 것을 방지하는 기능을 수행한다. 그리고, 블라킹막은 캐패시터 보호막보다 안쪽에 형성되어, 블라킹막의 안쪽에 형성된 물질막과 캐패시터 보호막이 서로 반응하는 것을 방지하는 기능 및/또는 캐패시터 유전막의 휘발방지 기능을 주로 수행한다. 물론, 주로 수행하는 기능에 있어서 블라킹막과 캐패시터 보호막은 차이는 있지만, 상기에서 나열한 기능들을 전부 수행할 수 있음은 물론이다.

캡슐화막(EL)이 다중막으로 구성될 경우, 캡슐화막(EL)은 다음과 같이 구성될 수 있다. 예를 들어, 캡슐화막(EL)이 3중막인 경우에는 블라킹막\완충막\캐패시터 보호막의 순서로 적층시킨 구조를 가질 수 있다. 또한, 캡슐화막(EL)이 2중막인 경우에는 블라킹막\캐패시터 보호막의 순서로 적층시킨 구조를 가질 수도 있다. 물론, 캡슐화막(EL)이 가질 수 있는 구조가 상기에서 설명한 2중막 또는 3중막만으로 한정되는 것은 아니며, 캡슐화막(EL)을 구성할 수 있는 물질막의 수 및 그 구성은 다양하게 결정될 수 있다. 하지만, 캡슐화막(EL)이 3중막 이상의 다중막으로 구성될 지라도 적어도 블라킹막과 캐패시터 보호막을 포함하도록 캡슐화막(EL)을 구성하는 것이 바람직함은 물론이다.

도 1a에 도시된 본 발명에 따른 반도체 메모리 소자의 제 1 실시예에 구비된 캡슐화막(EL)은 2중막 구조로 되어 있다. 먼저, 블라킹막(130)이 상부전극(126)의 일부표면을 제외한 캐패시터(C)의 전 표면 및 제 2 층간절연막(114)의 상부표면 상에 직접적으로 형성되어 있다. 그리고, 상기 블라킹막(130) 상에는 캐패시터 보호막(132)이 직접적으로 형성되어 있다.

상기 블라킹막(130)을 구성할 수 있는 물질막은 블라킹막(130)의 기능을 고려하여 선택한다. 바람직하게는, 블라킹막(130)은 TiO

₂, Ta₂O₅막, BaTiO₃막, SrTiO₃막, Bi₄Ti₃O₁₂막 또는 PbTiO₃막으로 이루어질 수 있다. 상기 블라킹막(130)을 구성할 수 있는 물질막의 선택에 있어서는, 캐패시터 유전막(124)과 반응을 일으키지 않는 물질막을 선택하는 것이 바람직하다. 따라서, 블라킹막(130)을 구성하는 물질막의 종류는 캐패시터 유전막(124)으로 형성된 물질막의 종류에 의하여 결정하는 것이 바람직하다. 예를 들어, 캐패시터 유전막(124)이 PZT막, BST막 또는 PLZT막과 같은 고유전체막 또는 강유전체막으로 이루어진 경우에는 블라킹막(130)은 스퍼터링 방법에 의하여 형성된 TiO

₂막(스퍼터링-TiO₂막)으로 이루어지는 것이 바람직하다. 하지만, 상기와 같이 블라킹막(130)을 구성할 물질로 TiO

₂막을 선택한 경우에 블라킹막(130)은 CVD(Chemical Vapor Deposition)방법에 의하여 형성된 TiO₂막(CVD-TiO₂막), LPCVD(Low Pressure Chemical Vapor Deposition)방법에 의하여 형성된 TiO₂막(LPCVD-TiO₂막), SACVD(SubAtmopheric Chemical Vapor Deposition)방법에 의하여 형성된 TiO₂막(SACVD-TiO₂막), PECVD(Plasma Enhanced Chemical Vapor Deposition)방법에 의하여 형성된 TiO₂막(PECVD-TiO₂막), ALD(Atomic Layer Deposition)방법에 의하여 형성된 TiO₂막(ALD-TiO₂막) 또는 LA(Laser Ablation)방법에 의하여 형성된 TiO₂막(LA-TiO₂막)일 수도 있다. 상기 블라킹막(130)을 구성하는 물질로 TiO

₂막 이외의 다른 물질을 선택하더라도 상기와 같은 동일한 적용을 할 수 있다. 상기 블라킹막(130)의 두께는 블라킹막(130)이 수행하는 기능, 블라킹막(130)으로 선택한 물질막의 물성 등을 고려하여 결정된다. 바람직하게는 블라킹막(130)의 두께는 50 Å 내지 1500 Å 사이일 수 있다. 한편, 상기 블라킹막(130)은 그 기능을 고려해 볼 때, 400℃ 내지 600℃ 사이의 온도 및 산소 분위기 하에서 안정화 열처리된 안정화 물질막일 수도 있다.

상기 캐패시터 보호막(132)을 구성할 물질막은 캐패시터 보호막(132)이 수행하는 기능을 고려하여 선택한다. 바람직하게는, 캐패시터 보호막(132)은 TiO

₂막, Ta₂O₅막, Al₂O₃막, BaTiO₃막, SrTiO₃막, Bi₄Ti₃O₁₂막 또는 PbTiO₃막으로 이루어질 수 있다. 여기에서, 캐패시터 보호막(132)을 구성할 물질막의 종류는, 캐패시터 유전막(124)을 구성할 물질막의 종류 및 블라킹막(130)을 구성하는 물질막의 종류에 따라서 달라질 수 있다. 예를 들어, 블라킹막(130)과 반응성이 있는 물질막으로 캐패시터 보호막(132)을 형성하지 않는 것이 바람직하다. 또한, 블라킹막(130)을 구성하는 물질막과는 다른 물질막으로 캐패시터 보호막(132)을 구성하는 것이 바람직하다. 예를

들어, 캐패시터 유전막(124)이 PZT막, BST막 또는 PLZT막과 같은 고유전체막 또는 강유전체막으로 이루어지고 블락킹막(130)이 스퍼터링-TiO

₂막으로 이루어진 경우에는 캐패시터 보호막(132)은 ALD-Al₂O₃막인 것이 바람직하다. 하지만, 캐패시터 보호막(132)을 구성할 물질로 Al

₂O₃막을 선택한 경우에 캐패시터 보호막(132)은 CVD-Al₂O₃막, LPCVD-Al₂O₃막, SACVD-Al₂O₃막, PECVD-Al₂O₃막, 스퍼터링-Al₂O₃막 또는 LA-Al₂O₃막일 수도 있다. 상기 캐패시터 보호막(132)을 구성할 물질로 Al

₂O₃막 이외의 물질을 선택하더라도 상기와 같은 동일한 적용을 할 수 있다. 또한, 캐패시터 보호막(132)은 그 기능을 고려할 때 400℃ 내지 600℃ 사이의 온도 및 산소 분위기 하에서 안정화 열처리된 안정화 물질막일 수도 있다. 한편, 캐패시터 보호막(132)의 두께는 캐패시터 보호막(132)이 수행하는 기능, 캐패시터 보호막(132)으로 선택한 물질막의 물성 등을 고려하여 결정한다. 바람직하게는, 캐패시터 보호막(132)의 두께는 50 Å 내지 5000 Å 사이일 수 있다. 보다 바람직하게는, 캐패시터 보호막(132)의 두께는 50 Å 내지 1500 Å 사이일 수 있다.

상기 상부전극 메탈콘택(136) 및 상기 제 3 층간절연막(134) 상에는 패시베이션막(138)이 형성되어 있다. 상기 패시베이션막(138)은 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화질화막일 수 있다. 상기 패시베이션막의 두께는 2000 Å 내지 20000 Å 사이일 수 있다.

한편, 반도체 메모리 소자의 캐패시터(C)를 수소로부터 보다 완전하게 보호하기 위해 제 3 층간절연막(134)과 패시베이션막(138) 사이에 수소침투 방지막(140)이 선택적으로 형성되어 있을 수 있다. 상기 수소침투 방지막(140)은 캐패시터 보호막(132)과 실질적으로 동일한 기능을 수행한다. 다시 말해, 수소침투 방지막(140)은 패시베이션막(138)에 봉입되어 있는 수소가 상부전극 메탈콘택(136)이 형성된 부분에서 캐패시터(C) 방향으로 확산하여 캐패시터 유전막(124)을 열화시키는 것을 방지하는 기능을 수행한다. 따라서, 상기 수소침투 방지막(140)은 Al

₂O₃막, TiO₂막, Ta₂O₅막, BaTiO₃막, SrTiO₃막, Bi₄Ti₃O₁₂막 또는 이들의 조합막으로 이루어질 수 있다. 그런데, 상기 수소침투 방지막(140)은 수소가 캐패시터(C) 방향으로 확산하는 것을 보다 효과적으로 방지하기 위해 수소에 대한 흡착력이 있으며 안정한 화학적 및 물리적 물성을 가지는 물질막인 것이 바람직하다. 따라서, 수소침투 방지막(140)은 결정학적 구조가 안정하여 막질이 조밀할 뿐만 아니라, 100%의 스텝 커버리지를 가지는 ALD-Al

₂O₃막인 것이 보다 바람직하다. 하지만, 수소침투 방지막(140)을 구성할 물질막으로 Al

₂O₃막을 선택한 경우에, 수소침투 방지막(140)은 CVD-Al₂O₃막, LPCVD-Al₂O₃막, SACVD-Al₂O₃막, PECVD-Al₂O₃막, LA-Al₂O₃막 또는 스퍼터링-Al₂O₃막일 수도 있다. 상기 수소침투 방지막(140)의 두께는 50 Å 내지 20000 Å 사이일 수 있지만, 200 Å 내지 300 Å 사이인 것이 바람직하다.

경우에 따라서, 수소침투 방지막(140)은 400℃ 내지 600℃ 사이의 온도 및 산소 분위기 하에서 안정화 열처리된 안정화 물질막일 수도 있다. 이처럼, 수소침투 방지막(140)이 안정화 열처리된 물질막인 경우에는 캐패시터(C) 방향으로 수소가 확산하는 것을 보다 완전하게 차단할 수 있다.

도시하지는 않았지만, 수소침투 방지막(140)과 제 3 층간절연막(134) 사이에 완충막이 선택적으로 게재될 수도 있다. 예를 들어, 상기 완충막은 상압 CVD 방법에 의하여 형성된 물질막 또는 PECVD 방법에 의하여 형성된 산화막일 수 있다. 상기 완충막이 상압 CVD 방법에 의하여 형성된 산화막일 경우, 완충막은 오존-TEOS막, PSG막 또는 BPSG막일 수 있다. 상기 완충막이 PECVD 방법에 의하여 형성된 산화막인 경우, 완충막은 PE-TEOS막 또는 PE-SiH

₄막일 수 있다. 상기 완충막의 두께는 50 Å 내지 1000 Å 사이일 수 있다.

도 1b는 본 발명에 따른 반도체 메모리 소자의 구조에 대한 제 2 실시예를 도시하고 있다. 반도체 기판(100) 상에 형성되어 있는 소자분리막(102)과 전계효과 트랜지스터(T), 제 1 층간절연막(112) 및 제 2 층간절연막(114), 제 1 층간절연막(112) 내에 형성된 랜딩 플러그(116), 제 2 층간절연막(114) 내에 형성된 비트라인 콘택패드(118), 제 1 및 제 2 층간절연막(112 및 114) 내에 형성된 도전성 플러그(120)의 구조는 본 발명에 따른 반도체 메모리 소자의 구조에 대한 제 1 실시예의 경우와 실질적으로 동일하다.

도 1b를 참조하면, 도전성 플러그(120)와 반도체 메모리 소자의 캐패시터(C)가계면막(128)을 사이에 두고 전기적으로 연결되어 있다. 물론, 상기 캐패시터(C)는 하부전극(122), 캐패시터 유전막(124) 및 상부전극(126)으로 구성되어 있다. 상기 캐패시터(C)의 하부전극(122) 및 캐패시터 유전막(124)은 제 3 층간절연막(134) 내에 형성되어 있으며, 캐패시터 유전막(124)의 측면과 제 3 층간절연막(134) 사이에는 확산방지 스페이서(142)가 게재되어 있다.

한편, 본 발명에 따른 반도체 메모리 소자의 제 2 실시예에 구비되는 도전성 플러그(120), 계면막(128) 및 캐패시터(C) 또한 상기 제 1 실시예의 경우와 마찬가지로 다양한 구조를 이루어질 수 있는 데, 그 구체적인 구조는 도 2a 내지 도 2e를 참조하여 이하에서 상세하게 설명하기로 한다.

상기 확산방지 스페이서(142)는 제 3 층간절연막(134) 내에 봉입된 수소가 캐패시터 유전막(124)으로 확산하는 것을 방지할 수 있는 물질막으로 이루어지는 것이 바람직하다. 바람직하게는, 확산방지 스페이서(142)는 Al

ZrO_2 막, TiO_2 막, Ta_2O_5 막, BaTiO_3 막, SrTiO_3 막, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막, PbTiO_3 막 또는 이들의 조합막일 수 있다. 하지만, 확산방지 스페이서(142)는 ALD-Al

ZrO_2 막으로 이루어지는 것이 보다 바람직하다. 물론, 확산방지 스페이서(142)를 구성할 물질막으로 Al

ZrO_2 막 이외의 다른 물질막을 선택하더라도, 상기와 같이 동일한 적용을 할 수 있다.

제 3 층간절연막(134)의 상부표면, 캐패시터 상부전극(126)의 상부면 및 측벽, 캐패시터 유전막(124)의 상부면 중 일부 면에는 다중막으로 구성된 캡슐화막(EL)이 형성되어 있다. 상기 캡슐화막(EL)에 대해서는 본 발명에 따른 반도체 메모리 소자의 제 1 실시예를 설명하면서 상세히 설명한 바 있다.

본 발명에 따른 반도체 메모리 소자의 제 2 실시예의 경우에도 제 1 실시예의 경우와 마찬가지로 캡슐화막(EL)이 블락킹막(130)과 캐패시터 보호막(132)이 적층된 2중막 구조로 되어 있다. 상기 캡슐화막(EL) 상에는 제 4 층간절연막(144)이 형성되어 있으며, 제 4 층간절연막(144) 및 캡슐화막(EL)을 관통하여 상부전극 메탈콘택(136)이 형성되어 있다. 그리고, 제 4 층간절연막(144) 및 상부전극 메탈콘택(136) 상에는 패시베이션막(138)이 형성되어 있다. 상기 제 3 층간절연막(134) 및 제 4 층간절연막(144)은 제 1 층간절연막(112)과 실질적으로 동일한 종류의 물질막으로 이루어질 수 있다. 상기 패시베이션막(138)을 구성할 수 있는 물질막의 종류는 본 발명에 따른 반도체 메모리 소자의 제 1 실시예를 설명하면서 상세히 설명한 바 있다.

한편, 본 발명에 따른 반도체 메모리 소자의 제 1 실시예의 경우와 마찬가지로, 반도체 메모리 소자의 캐패시터(C)를 수소로부터 보다 완전하게 보호하기 위해 제 4 층간절연막(144)과 패시베이션막(138) 사이에 수소침투 방지막(140)이 선택적으로 형성되어 있을 수 있다. 상기 수소침투 방지막(140)을 구성할 수 있는 물질막의 종류 및 두께에 대해서는 본 발명에 따른 반도체 메모리 소자의 제 1 실시예를 설명하면서 상세히 설명한 바 있다.

본 발명의 제 1 실시예에 따른 반도체 메모리 소자와 마찬가지로 수소침투 방지막(140)과 제 4 층간절연막(144) 사이에 완충막이 선택적으로 게재될 수도 있다. 상기 완충막을 구성할 수 있는 물질막의 종류 및 두께에 대해서는 본 발명에 따른 반도체 메모리 소자에 대한 제 1 실시예를 설명하면서 상세히 설명한 바 있다.

상기에서는 본 발명에 따른 반도체 메모리 소자에 대한 제 1 실시예 및 제 2 실시예를 도면을 참조하여 상세하게 설명하였다. 그런데, 도 1a 및 도 1b에서 반도체 메모리 소자를 도시함에 있어서, 도전성 플러그(120), 계면막(128) 및 캐패시터의(C) 구조는 구체적으로 도시하지 않고 개략적으로만 도시하였다는 것에 대해서는 이미 설명한 바 있다. 따라서, 이하에서는 도 1a 및 도 1b의 구간(R) 내의 도전성 플러그(120), 계면막(128) 및 캐패시터(C)의 구조를 도시한 도 2a 내지 도 2e를 참조하여 본 발명에 따른 반도체 메모리 소자에 구비될 수 있는 도전성 플러그(120), 계면막(128) 및 캐패시터(C)의 구조에 대한 바람직한 실시예들을 보다 상세하게 설명하기로 한다. 도 2a 내지 도 2e에서 캐패시터(C)의 구조를 도시함에 있어서는, 캐패시터(C)의 측벽 프로파일은 고려하지 않고 도시하였다.

물론, 이하에서 설명하는 도전성 플러그(120), 계면막(128) 및 캐패시터(C)의 다양한 구조들은 도 1a 및 도 1b에 도시된 반도체 메모리 소자의 구조에 각각 적용될 수 있다.

도 2a는 본 발명에 따른 반도체 메모리 소자에 포함될 수 있는 도전성 플러그(120), 계면막(128) 및 캐패시터(C)에 대한 제 1 실시예를 도시하고 있다.

도 2a를 참조하면, 반도체 기판(100) 상에 형성된 제 1 및 제 2 층간절연막(112 및 114) 내에는 불순물 주입영역, 예컨대 소오스 영역(104)을 콘택하는 도전성 플러그(120a)가 형성되어 있다. 상기 도전성 플러그(120a)는 하부 플러그(200)와 상부 플러그(202)로 구성되어 있다. 상기 하부 플러그(200)는 도전성이 있는 저저항 물질이고, 상기 상부 플러그(202)는 도전성뿐만 아니라 내산화성이 있으며 열적으로 안정한 면저항을 가지는 물질인 것이 바람직하다. 따라서, 하부 플러그(200)는 도핑된 폴리실리콘막인 것이 바람직하고, 상부 플러그(202)는 코발트 실리사이드막인 것이 바람직하다. 하지만, 하부 플러그(200)는 도핑된 폴리실리콘막, 텅스텐막(W), 탄탈륨막(Ta), 루테튬막(Ru), 이리듐막(Ir), 백금막(Pt), 오스뮴막(Os), 텅스텐 실리사이드막(WSi), 텅스텐 질화막(WN) 또는 이들의 조합막으로 이루어질 수도 있다. 또한, 상부 플러그(202)는 니켈 실리사이드막, 티타늄 실리사이드막, 탄탈륨 실리사이드막, 크롬 실리사이드막 또는 하프늄 실리사이드막일 수도 있다. 특히, 상부 플러그(202)의 두께는 50 Å 내지 1000 Å 사이일 수 있지만, 300 Å 내지 500 Å 사이인 것이 바람직하다.

상기 제 2 층간절연막(114) 상에는 접착막(204) 및 확산방지막(206)이 순차적으로 적층된 계면막(128a)이 형성되어 있고, 계면막(128a) 상에는 금속 산화물막(208) 및 내열성 금속막(210)이 순차적으로 적층된 캐패시터 하부전극(122a)이 형성되어 있다. 또한, 상기 캐패시터 하부전극(122a) 상에는 캐패시터 유전막(124a)이 형성되어 있고, 상기 캐패시터 유전막(124a) 상에는 캐패시터 상부전극(126a)이 형성되어 있다. 상기 접착막(204)은 확산방지막(206)과 그 아래의 하부막, 특히 제 2 층간절연막(114)과의 접착력을 향상시킬 수 있는 물질막인 것이 바람직하다. 따라서, 상기 접착막(204)은 전이금속막인 것이 바람직하다. 또한, 확산방지막(206)은 금속 산화물막(208) 및 그 상부 물질막과 도전성 플러그(120a)와의 반응을 최소화시킬 수 있는 물질막인 것이 바람직하다. 따라서, 상기 확산방지막(206)은 전이금속의 질화막 또는 귀금속막인 것이 바람직하다. 예를 들어, 접착막(204)은 Ti막인 것이 바람직하고, 접착막(204)의 두께는 20 Å 내지 150 Å 사이, 예컨대 50 Å 정도인 것이 바람직하다. 또한, 상기 확산방지막(206)이 전이금속의 질화막인 경우, 확산방지막(206)은 TiN막인 것이 바람직하고, 상기 확산방지막(206)이 귀금속인 경우, 확산방지막(206)은 Ir막 또는 Ru막인 것이 바람직하다. 상기 확산방지막(206)의 두께는 500 Å 내지 1500 Å 사이, 예컨대, 1000 Å 정도인 것이 바람직하다. 하지만, 접착막(204) 및 확산방지막(206)을 구성할 수 있는 물질막이 Ti막/TiN막, Ir막 또는 Ru막으로 각각 한정되지 않고 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의해 접착막(204) 및 확산방지막(206)으로 사용할 수 있는 물질막이 모두 포함될 수 있음은 물론이다.

상기 금속 산화물막(208)은 하부전극(122a) 상에 구비되는 캐패시터 유전막(124a)에서 산소원자가 이탈하더라도 산소를 재공급하여 캐패시터 유전막(124a)의 유전특성 열화를 완화할 수 있는 물질막으로 형성하는 것이 바람직하다. 따라서, 금속 산화물막(208)은 IrO

₂막으로 형성하는 것이 바람직하다. 하지만, 금속 산화물(208)막은 IrO

₂막, RuO₂막, LaSrCoO₃, (Ca, Sr)RuO₃막 또는 이들의 조합막으로 형성할 수도 있다. 상기 금속 산화물막(208)의 두께는 금속 산화물막(208)을 구성하는 물질에 따라서 달라지겠지만 200 Å 내지 800 Å 사이인 것이 바람직하다. 예를 들어, 금속 산화물막(208)이 IrO

₂막인 경우에는 500 Å 정도인 것이 바람직하다.

상기 내열성 금속막(210)은 캐패시터 유전막(124a)과의 계면 특성이 양호한 물질막으로 이루어지는 것이 바람직하다. 따라서, 상기 내열성 금속막(210)은 Pt막으로 이루어지는 것이 바람직하다. 하지만, 내열성 금속막(210)은 Pt막, Ir막, Ru막, Rh막, Os막, Pa막 또는 이들의 조합막으로 이루어질 수도 있다. 내열성 금속막(210)의 두께는 내열성 금속막(210)을 구성하는 물질에 따라서 달라지지만, 내열성 금속막(210)의 두께는 1000 Å 내지 2000 Å 사이인 것이 바람직하다. 예를 들어, 내열성 금속막(210)이 Pt막인 경우 1500 Å 정도인 것이 바람직하다.

상기 캐패시터 유전막(124a)은 캐패시터(C₁)의 높은 캐패시턴스 얻기 위하여 TiO₂막, SiO₂막, Ta₂O₅막, Al₂O₃막, SiO₂/SiN막, BaTiO₃막, SrTiO₃막, (Ba, Sr)TiO₃막, Bi₄Ti₃O₁₂막, PbTiO₃막, PZT((Pb, La)(Zr, Ti)O₃)막, (SrBi₂Ta₂O₉)(SBT)막 또는 이들의 조합막으로 이루어지는 것이 바람직하다.

상기 캐패시터 상부전극(126a)은 내열성 금속막, 금속 산화물막 또는 이들의 조합막일 수 있다. 하지만, 캐패시터 상부전극(126a)은 금속 산화물막(212) 및 내열성 금속막(214)이 순차적으로 적층된 2중막인 것이 바람직하다. 이 때, 상기 금속 산화물막(212)은 IrO

₂막인 것이 바람직하고, 상기 내열성 금속막(214)은 Ir막인 것이 바람직하다. 하지만, 상기 금속 산화물막(212)은 IrO

₂막, RuO₂막, IrO₂막, (Ca, Sr)RuO₃막, LaSrCoO₃막 또는 이들의 조합막일 수도 있고, 상기 내열성 금속막(214)은 Pt막, Ir막, Ru막, Rh막, Os막, Pd막 또는 이들의 조합막일 수도 있다. 상기 상부전극(126a)이 IrO

₂막과 Ir막이 순차적으로 적층된 2중막일 경우, IrO₂막의 두께는 100 Å 내지 1000 Å 사이인 것이 바람직하고, Ir막의 두께는 400 Å 내지 2000 Å 사이인 것이 바람직하다.

상기와 같이 도전성 플러그(120a)의 상부 플러그(202)가 코발트 실리사이드막과 같은 열적으로 안정한 면저항을 가지는 물질막으로 이루어질 경우에는 캐패시터(C₁)와 도전성 플러그(120a) 사이의 콘택저항이 완화되어 반도체 메모리 소자의 동작속도를 향상시킬 수 있게 된다.

도 2b는 본 발명에 따른 반도체 메모리 소자에 포함될 수 있는 도전성 플러그(120), 계면막(128) 및 캐패시터(C)의 구조에 대한 제 2 실시예를 도시한다.

도 2b를 참조하면, 반도체 기판(100) 상의 제 1 및 제 2 층간절연막(112 및 114) 내에는 불순물 주입영역, 예컨대 소오스 영역(104)을 콘택하는 도전성 플러그(120b)가 형성되어 있다. 그런데, 도 2a에 도시된 도전성 플러그(120a)와는 달리 도 3에 도시된 도전성 플러그(120b)는 단일 물질막으로 이루어져 있다. 도전성 플러그(120b)는 도전성을 가질 뿐만 아니라 내산화성을 가지며 열적으로 안정한 면저항을 가지는 물질막으로 이루어지는 것이 바람직하다. 따라서, 도전성 플러그(120b)는 코발트 실리사이드막인 것이 바람직하다. 하지만, 도전성 플러그(120b)는 니켈 실리사이드막, 탄탈륨 실리사이드막, 타탈륨 실리사이드막, 하프늄 실리사이드막 또는 크롬 실리사이드막일 수도 있다.

상기 단일막으로 구성된 도전성 플러그(120b) 상에는 접착막(216)과 확산방지막(218)이 순차적으로 적층된 계면막(128b), 금속 산화물막(220) 및 내열성 금속막(222)이 순차적으로 적층된 캐패시터 하부전극(122b)이 형성되어 있다. 그리고, 상기 캐패시터 하부전극(122b) 상에는 캐패시터 유전막(124b)과 캐패시터 상부전극(126b)이 순차적으로 형성되어 있다. 상기 접착막(216), 확산방지막(218), 금속 산화물막(220), 내열성 금속막(222), 캐패시터 유전막(124b) 및 캐패시터 상부전극(126b)을 구성할 수 있는 물질막의 종류, 구성 및 두께는, 도 2a에 도시된 접착막(204), 확산방지막(206), 금속 산화물막(208), 내열성 금속막(210), 캐패시터 유전막(124a) 및 캐패시터 상부전극(126a)의 경우와 실질적으로 동일하다.

상기와 같이 도전성 플러그(120b)가 코발트 실리사이드막과 같은 도전성 뿐만 아니라 내산화성을 가지며 열적으로 안정한 면저항을 가지는 물질막으로 이루어진 경우에는 도전성 플러그(120b)와 캐패시터(C₂) 사이의 콘택저항을 완화할 수 있어 반도체 메모리 소자의 동작속도를 향상시킬 수 있다.

도 2c는 본 발명에 따른 반도체 메모리 소자에 포함될 수 있는 도전성 플러그(120), 계면막(128) 및 캐패시터(C)의 구조에 대한 제 3 실시예를 도시한다.

도 2c를 참조하면, 반도체 기판(100) 상의 제 1 및 제 2 층간절연막(112 및 114) 내에 단일막으로 이루어지며 불순물 주입영역, 예

컨대 소오스 영역(104)을 콘택하는 도전성 플러그(120c)가 형성되어 있다. 상기 도전성 플러그(120c)는 도 2a에 도시된 하부 플러그(200)와 실질적으로 동일한 물질막으로 형성할 수 있다. 예를 들어, 도전성 플러그(120c)는 도핑된 폴리실리콘막으로 형성하는 것이 바람직하다. 상기 도전성 플러그(120c) 및 제 2 층간절연막(114) 상에는 도전막(224), 실리사이드막(226) 및 확산방지막(228)이 순차적으로 적층된 계면막(128c)이 형성되어 있다. 상기 도전막(224)은 도 2a에 도시된 하부 플러그(200)와 실질적으로 동일한 물질막일 수 있다. 예를 들어, 도전막(224)은 도핑된 폴리실리콘막인 것이 바람직하다. 상기 도전막(224)의 두께는 3000 Å 내지 10000 Å 사이인 것이 바람직하다. 상기 실리사이드막(226)은 코발트 실리사이드막인 것이 바람직하다. 또한, 상기 실리사이드막(226)의 두께는 300 Å 내지 500 Å 사이인 것이 바람직하다. 상기 확산방지막(228)은 도 2a에 도시된 확산방지막(206)과 실질적으로 동일한 물질막일 수 있다. 예를 들어, 확산방지막(228)은 Ir막인 것이 바람직하다. 상기 확산방지막(228)의 두께는 300 Å 내지 1500 Å 사이인 것이 바람직하다.

상기 계면막(128c) 상에는 금속 산화물막(230)과 내열성 금속막(232)이 순차적으로 적층된 캐패시터 하부전극(122c)이 형성되어 있다. 상기 캐패시터 하부전극(122c) 상에는 캐패시터 유전막(124c) 및 캐패시터 상부전극(126c)이 순차적으로 형성되어 있다. 상기 금속 산화물막(230), 내열성 금속막(232), 캐패시터 유전막(124c) 및 캐패시터 상부전극(126c)을 구성할 수 있는 물질막의 종류, 구성 및 두께는, 도 2a에 도시된 금속 산화물막(208), 내열성 금속막(210), 캐패시터 유전막(124a) 및 캐패시터 상부전극(126a)과 실질적으로 동일하다.

상기와 같이 계면막(128c) 내에 코발트 실리사이드막과 같이 도전성이 있을 뿐만 아니라 내산화성이 있으며 열적으로 안정한 면저항을 가진 실리사이드막(226)이 포함되면 도전성 플러그(120c)와 캐패시터(C_3) 사이의 콘택저항을 완화할 수 있어 반도체 메모리 소자의 동작속도를 향상시킬 수 있다.

도 2d는 본 발명에 따른 반도체 메모리 소자에 포함될 수 있는 도전성 플러그(120), 계면막(128) 및 캐패시터(C)의 구조에 대한 제 4 실시예를 도시한다.

도 2d를 참조하면, 반도체 기판(100) 상의 제 1 및 제 2 층간절연막(112 및 114) 내에는 단일막으로 이루어지며 불순물 주입영역, 예컨대 소오스 영역(104)을 콘택하는 도전성 플러그(120d)가 형성되어 있다. 그리고, 도전성 플러그(120d) 및 제 2 층간절연막(114) 상에는 도전막으로 이루어진 계면막(128d)이 형성되어 있다. 상기 도전성 플러그(120d) 및 계면막(128d)은 도 2a에 도시된 하부 플러그(200)와 실질적으로 동일한 물질막일 수 있다. 예를 들어, 도전성 플러그(120d) 및 계면막(128d)은 도핑된 폴리실리콘막인 것이 바람직하다. 또한, 도전막으로 이루어진 상기 계면막(128d)의 두께는 3000 Å 내지 10000 Å 사이인 것이 바람직하다. 상기 계면막(128d) 상에는 도전성이 있을 뿐만 아니라, 내산화성 및 열적으로 안정한 면저항을 가지는 물질막으로 구성된 캐패시터 하부전극(122d)이 형성되어 있다. 캐패시터 하부전극(122d) 상에는 캐패시터 유전막(124d)과 캐패시터 상부전극(126d)이 순차적으로 형성되어 있다. 상기 캐패시터 하부전극(122d)은 도 2a에 도시된 상부 플러그(202)와 실질적으로 동일한 물질막일 수 있다. 예를 들어, 캐패시터 하부전극(122d)은 코발트 실리사이드막인 것이 바람직하다. 또한, 상기 캐패시터 하부전극(122d)의 두께는 500 Å 내지 3000 Å 사이인 것이 바람직하다. 상기 캐패시터 유전막(124d) 및 캐패시터 상부전극(126d)을 구성할 수 있는 물질막의 종류, 구성 및 두께는, 도 2a에 도시된 캐패시터 유전막(124a) 및 캐패시터 상부전극(126a)과 실질적으로 동일하다.

상기와 같이 캐패시터 하부전극(122d)이 코발트 실리사이드막과 같은 도전성 뿐만 아니라 내산화성 및 열적으로 안정한 면저항을 가진 물질막으로 구성되면 도전성 플러그(120d)와 캐패시터(C_4) 사이의 콘택저항을 완화할 수 있어 반도체 메모리 소자의 동작속도를 향상시킬 수 있다.

도 2e는 본 발명에 따른 반도체 메모리 소자에 포함될 수 있는 도전성 플러그(120), 계면막(128) 및 캐패시터(C)의 구조에 대한 제 5 실시예를 도시한다.

도 2e를 참조하면, 반도체 기판(100) 상의 제 1 및 제 2 층간절연막(112 및 114) 내에는 단일막으로 이루어지며 불순물 주입영역, 예컨대 소오스 영역(104)을 콘택하는 도전성 플러그(120e)가 형성되어 있다. 도전성 플러그(120e)는 도 2a에 도시된 하부 플러그(200)와 실질적으로 동일한 물질막일 수 있다. 예를 들어, 도전성 플러그(120e)는 도핑된 폴리실리콘막인 것이 바람직하다. 상기 도전성 플러그(120e) 및 제 2 층간절연막(114) 상에는 실리사이드막(232)과 확산방지막(234)이 순차적으로 적층된 계면막(128e)이 형성되어 있다. 상기 실리사이드막(232)은 도 2a에 도시된 상부 플러그(202)와 실질적으로 동일한 물질막일 수 있다. 예를 들어, 실리사이드막(232)은 코발트 실리사이드막인 것이 바람직하다. 또한, 상기 실리사이드막(232)의 두께는 50 Å 내지 1000 Å 사이인 것이 바람직하다. 상기 확산방지막(234)은 도 2a에 도시된 확산방지막(206)과 실질적으로 동일한 물질막일 수 있다. 예를 들어, 상기 확산방지막(234)은 Ir막인 것이 바람직하다.

상기 계면막(128e) 상에는 금속 산화물막(236)과 내열성 금속막(238)이 순차적으로 적층된 캐패시터 하부전극(122e)이 형성되어 있다. 그리고, 캐패시터 하부전극(122e) 상에는 캐패시터 유전막(124e)과 캐패시터 상부전극(126e)이 순차적으로 형성되어 있다. 상기 금속 산화물막(236), 내열성 금속막(238), 캐패시터 유전막(124e) 및 캐패시터 상부전극(126e)을 구성하는 물질막의 종류, 구성 및 두께는, 도 2a에 도시된 금속 산화물막(208), 내열성 금속막(210), 캐패시터 유전막(124a) 및 캐패시터 상부전극(126a)과 실질적으로 동일하다.

상기와 같이 계면막(128e) 내에 코발트 실리사이드막과 같은 도전성 뿐만 아니라 내산화성 및 열적으로 안정한 면저항을 가진 물질막이 구비되면 도전성 플러그(120e)와 캐패시터(C_5) 사이의 콘택저항을 완화할 수 있어 반도체 메모리 소자의 동작속도를 향상시킬 수 있다.

이하에서는 본 발명에 따른 반도체 메모리 소자의 제조방법에 대한 바람직한 실시예들을 첨부한 도면을 참조하여 상세하게 설명하기로 한다.

도 3a 내지 도 3j는 본 발명에 따른 반도체 메모리 소자 제조방법에 대한 제 1 실시예를 도시한다.

도 3a를 참조하면, 먼저 반도체 기판(300)상에 소자분리막(302)을 형성하여 활성영역을 정의한 후, 활성영역 상에 트랜지스터(T)를 형성한다. 상기 소자분리막(302)은 통상적인 방법, 예컨대 로코스(LOC: Local Oxidation of Silicon) 공정을 수행하여 형성할 수 있다. 물론, 트렌치 소자분리 방법에 의하여 활성영역을 정의하는 소자분리막을 형성할 수도 있다. 상기 트랜지스터(T)는, 측벽 스페이서(304)를 가지며 게이트 절연막(306)이 게재된 게이트 전극(308), 드레인 영역(310) 및 소오스 영역(312)을 구비한 전계효과 트랜지스터일 수 있다.

그 다음, 통상적인 방법을 사용하여 랜딩 플러그(314)와 비트라인 콘택패드(316)를 형성한다. 즉, 제 1 층간절연막(318)을 형성하고, 제 1 층간절연막(318)내에 트랜지스터의 드레인 영역(314)을 콘택하는 랜딩 플러그(314)를 형성한다. 다시 말해, 사진 식각공정을 수행하여 불순물 주입영역, 예컨대 드레인 영역(310)을 노출시키는 개구(315)를 형성한 후, 상기 개구(315)의 내부를 도전막, 예컨대 도핑된 폴리실리콘막으로 매립한다. 이어서, 랜딩 플러그(314)상에 비트라인 콘택패드(316)를 형성한다. 즉, 도전막, 예컨대 도핑된 폴리실리콘막을 제 1 층간절연막(318) 상에 형성한 후, 사진 식각공정을 수행하여 상기 도전막을 패터닝함으로써, 상기 비트라인 콘택패드(316)를 형성한다. 그리고 나서, 상기 비트라인 콘택패드(316) 상에 제 2 층간절연막(320)을 형성한다.

제 1 층간절연막(318) 및 제 2 층간절연막(320)은 실리콘 산화막, 실리콘 산화질화막, BSG막, PSG막, BPSG막, TEOS막, 오존-TEOS막, PE-TEOS막, USG막 또는 이들의 조합막일 수 있다. 그리고, 제 1 층간절연막(318) 및 제 2 층간절연막(320)은 통상적인 방법, 예컨대 CVD방법, LPCVD방법 또는 PECVD 방법을 사용하여 형성할 수 있다.

계속해서, 사진 식각공정을 수행하여 트랜지스터(T)의 소오스 영역(312)을 노출시키는 콘택홀(322)을 제 1 층간절연막(318) 및 제 2 층간절연막(320)내에 형성한다.

도 3b를 참조하면, 통상적인 방법으로 콘택홀(322) 내부를 도전막으로 매립하여 도전성 플러그(324)를 형성한다. 예를 들어, 도전막을 스퍼터링 방법을 사용하여 반도체 기판(300)의 전면에 형성한 후, 화학기계적 연마방법 또는 에치백 방법을 사용하여 도전막의 상부표면을 제 2 층간절연막(320)의 상부표면과 실질적으로 동일화 레벨로 평탄화하여 도전성 플러그(324)를 형성할 수 있다. 상기 도전성 플러그(324)는 도핑된 폴리실리콘막으로 형성하는 것이 바람직하다. 하지만, 상기 도전성 플러그(324)는 도핑된 폴리실리콘막, 텅스텐막(W), 탄탈륨막(Ta), 루테튬막(Ru), 이리듐막(Ir), 오스뮴막(Os), 백금막(Pt), 텅스텐 실리사이드막(WSi), 코발트 실리사이드막(CoSi), 텅스텐 질화막(WN) 또는 이들의 조합막으로 형성할 수도 있다.

상기와 같이 콘택홀(322) 내에 도전성 플러그(324)를 형성한 다음, 반도체 기판(300)의 전면을 프리클리닝(precleaning)한다. 그런 다음, 도전성 플러그(324)의 상면에 형성된 자연산화막을 제거한다. 예컨대, 도전성 플러그(324)가 도핑된 폴리실리콘막인 경우에는 후속공정을 진행하기 위해 반도체 기판(300)을 옮기는 과정 또는 상기 프리클리닝 과정에서 도전성 플러그(324) 상에 자연산화막이 형성된다. 따라서, 상기 자연산화막 의한 반도체 메모리 소자의 콘택저항 증가를 방지하기 위해 상기 자연산화막을 제거하는 공정을 수행하고 나서 후속공정을 진행하게 된다.

구체적으로, 상기 프리클리닝을 실시한 후 건조한 상태의 반도체 기판 전면을 특정 주파수, 예컨대 13.56MHz의 라디오 주파수(RF)를 이용하여 클리닝한다. 그러면, 상기 도전성 플러그(324) 상에 형성된 자연산화막이 제거된다. 상기 RF 클리닝은 여러 가지 방법으로 실시할 수 있으나, 스퍼터링 장비 내에서 강한 전장에 의해 가속된 아르곤 이온(Ar

*)을 이용하여 실시하는 것이 바람직하다.

상기와 같이 클리닝 공정을 수행하여 도전성 플러그(324) 상의 자연산화막을 제거한 다음, 반도체 기판(300)의 전면에 고용점 금속막(326)과 표면 평탄화막(328)을 순차적으로 형성한다. 상기 고용점 금속막(326) 및 표면 평탄화막(328)은 통상적인 방법, 예컨대 스퍼터링방법 또는 CVD방법을 사용하여 형성할 수 있다. 상기 도전성 플러그(324)를 도핑된 폴리실리콘막으로 형성한 경우에는, 상기 고용점 금속막(326)은 후속 실리사이드화 공정에서 도전성 플러그(324) 방향으로의 확산특성이 우수하며 실리사이드화 공정에서 실리사이드화 되더라도 고온에서 안정한 저항 특성, 예컨대 낮은 면저항을 가질 수 있는 물질막인 것이 바람직하다. 따라서, 상기 고용점 금속막(326)은 코발트막으로 형성하는 것이 바람직하다. 하지만, 고용점 금속막(326)은 니켈막, 티타늄막, 탄탈륨막, 하프늄막 또는 크롬막으로도 형성할 수 있다. 상기 도전성 플러그(324)가 도핑된 폴리실리콘막으로 형성된 경우에, 상기 고용점 금속막(326)은 후속 실리사이드화 공정에서 실리사이드화되는 소스 물질막이다. 따라서, 상기 고용점 금속막(326)을 형성할 때에는 후속 실리사이드화 공정에서 형성하고자 하는 실리사이드막의 두께를 고려하여 충분한 두께로 형성하는 것이 바람직하다. 따라서, 고용점 금속막(326)은 50 Å 내지 200 Å 사이의 두께로 형성할 수 있는데, 바람직하게는 130 Å 정도의 두께로 형성한다.

상기 표면 평탄화막(328)은 후속 실리사이드화 공정에서 고용점 금속막(326) 상에 표면 거칠기(surface roughness)가 발생되는 것을 방지할 뿐만 아니라, 후속 실리사이드화 공정에서 산소가 고용점 금속막(326)을 통과하여 도전성 플러그(324)로 확산하는 것을 방지하기 위하여 형성하는 것이다. 따라서, 표면 평탄화막(328)은 티타늄 질화막(TiN)막으로 형성하는 것이 바람직하다. 또한, 표면 평탄화막(328)은 50 Å 내지 150 Å 사이의 두께로 형성할 수 있지만, 100 Å 정도의 두께로 형성하는 것이 바람직하다. 상기 RF 클리닝 공정, 고용점 금속막(326) 형성공정 및 표면 평탄화막(328) 형성공정은 반도체 메모리 소자의 전체 제조공정 수를 줄이기 위해 동일한 장치에서 인시튜(in-situ)로 진행하는 것이 바람직하다.

도 3c를 참조하면, 상기와 같이 고용점 금속막(도 3b의 326 참조) 및 표면 평탄화막(도 3b의 328 참조)을 형성한 다음, 고용점 금속막(도 3b의 326 참조)과 도전성 플러그(324) 사이에서 실리사이드화 반응을 유발하는 열처리 공정을 진행한다. 상기 열처리 공정은 금속 열처리 방식으로 이루어지는 것이 바람직하다. 예를 들어, 도전성 플러그(324)를 실리사이드화하기 위해 질소 분위기 하에서 금속 열처리 공정을 진행하되 400 °C 내지 1000 °C 사이의 온도, 바람직하게는 480 °C 정도의 온도에서 90초 정도 실시하는 것

이 바람직하다. 물론, 금속 열처리 공정에 의한 열처리 시간은 형성하고자 하는 실리사이드막의 두께에 따라서 달라질 수 있다. 이처럼, 열처리 공정이 진행되면 고용점 금속을 구성하는 원자, 예컨대 코발트 원자가 도전성 플러그(324)를 구성하는 원자, 예컨대 실리콘 원자와 정해진 비에 따라 반응하게 된다. 이러한 반응은 열처리 공정이 종료될 때까지 계속된다. 열처리 공정이 종료되고 나면 도전성 플러그(324)의 상부에는 내산화성이 있는 고용점 금속의 실리사이드막이 형성되게 된다. 그 결과, 콘택홀(322)은 도전막으로 이루어진 하부 플러그(330)와 고용점 금속의 실리사이드막으로 이루어진 상부 플러그(332)로 채워지게 된다. 예를 들어, 도전성 플러그(324)가 도핑된 폴리실리콘막으로 이루어지고, 고용점 금속막(도 3b의 326 참조)이 코발트막으로 이루어진 경우에는, 상기 실리사이드화 열처리 공정이 종료되면 콘택홀(330)의 하부에는 도핑된 폴리실리콘막으로 이루어진 하부 플러그(330)가 형성되고 콘택홀(330)의 상부에는 코발트 실리사이드막으로 이루어진 상부 플러그(332)가 형성된다.

상기와 같이 실리사이드화 공정을 수행하고 나서, 표면 평탄화막(도 3b의 328 참조) 및 실리사이드화하지 아니한 고용점 금속막(도 3b의 326 참조)을 습식식각 방법을 사용하여 제거한다. 예를 들어, 표면 평탄화막(도 3b의 328 참조) 및 실리사이드화하지 아니한 고용점 금속막(도 3b의 326 참조)은 인산과 질산의 혼합용액을 사용하여 제거할 수 있다. 그런 다음, 결과물을 반응 안정화를 위해 다시 한번 650℃ 정도에서 금속 열처리한다. 예를 들어, 반응 안정화를 위한 금속 열처리 공정은 질소 분위기 하에서 약 30 초 동안 수행할 수 있다.

상기와 같은 일련의 공정을 통하여 도전성 플러그(324)의 상부에는 코발트 실리사이드막과 같은 실리사이드막으로 이루어진 상부 플러그(332)가 형성되고, 상기 상부 플러그(332)는 오믹 콘택층으로 사용되게 된다. 도전성 플러그(324)의 상부에 형성되는 상부 플러그(332)의 두께는 30 Å 내지 1000 Å 사이일 수 있지만, 300 Å 내지 500 Å 사이인 것이 바람직하다.

도 3d를 참조하면, 상부 플러그(332) 및 제 2 층간절연막(320) 상에 계면막(334)을 형성한다. 구체적으로 도시하지는 않았지만, 계면막(334)은 접착막과 확산방지막을 순차적으로 적층하여 형성하는 것이 바람직하다.

상기 접착막은 도전성 플러그(324)의 상부 플러그(332) 및 제 2 층간절연막(320)과 확산방지막 사이의 접착력을 향상시키기 위하여 형성하는 물질막이다. 따라서, 접착막은 전이금속막, 예컨대 Ti막으로 형성하는 것이 바람직하다. 상기 접착막의 두께는 접착막으로 형성하고자 하는 물질막에 따라서 달라지겠지만, 10 Å 내지 200 Å 정도의 두께로 형성하는 것이 바람직하다. 상기 접착막을 Ti막으로 형성하는 경우에는 50 Å 정도의 두께로 형성하는 것이 바람직하다.

상기 확산방지막은 계면막(334) 상부에 형성되는 물질막과 계면막(334) 하부에 형성된 도전성 플러그(324)가 후속공정을 진행하는 과정에서 서로 반응하는 것을 방지할 뿐만 아니라, 산소 분위기에서 수행되는 후속공정에서의 산소 확산에 의한 도전성 플러그(324)의 열화를 방지한다. 따라서, 확산방지막은 이러한 기능을 수행할 수 있는 물질막으로 형성하는 것이 바람직하다. 예컨대, 확산방지막은 Ir막으로 형성하는 것이 바람직하다. 물론, 확산방지막은 Ti막, Ta막, W막, Ni막, Cr막, Ir막, Ru막, 이들(Ti, Ta, W, Ni, Cr, Ir 또는 Ru)의 질화막(Nitride), 브롬화막(Boride), 탄화막(Carbide), 실리사이드막(Silicide) 또는 이들의 조합막으로 형성할 수도 있다. 또한, 확산방지막은 Ti-Si-N계 화합물막, Ti-B-N계 화합물막, Ta-Si-N계 화합물막, Ta-B-N계 화합물막, Ta-Al-N계 화합물막, W-B-N계 화합물막, W-Si-N계 화합물막, Ti-Al계 화합물막 또는 Ta-Al계 화합물막으로 형성할 수도 있다. 상기 확산방지막은 형성하는 물질막에 따라서 그 두께를 다르게 형성할 수 있지만, 40 Å 내지 1800 Å의 두께로 형성하는 것이 바람직하다. 확산방지막을 Ir막으로 형성한 경우에는 1100 Å 정도의 두께로 형성하는 것이 바람직하다.

계면막(334)을 형성한 다음, 계면막 상에 하부 도전막(336)을 형성한다. 하부 도전막(336)은 금속 산화물막과 내열성 금속막을 순차적으로 적층하여 형성하는 것이 바람직하다.

상기 금속 산화물막은 산화막이라 하더라도 도전성을 가질 뿐만 아니라 후속공정에서 하부 도전막(336) 상에 형성되는 유전막(338)에서 산소 원자가 이탈하더라도 산소원자를 재 공급해줄 수 있는 물질막으로 형성하는 것이 바람직하다. 따라서, 금속 산화물막은 IrO

₂막으로 형성하는 것이 바람직하다. 하지만, 금속 산화물막은 IrO

₂막, RuO₂막, (Ca, Sr)RuO₃막, LaSrCoO₃막 또는 이들의 조합막으로도 형성할 수 있다. 상기 금속 산화물막은 화학기상 증착방법, 원자층 증착방법, 물리적 증착방법 또는 레이저 용발방법을 사용하여 형성할 수 있다. 하지만, 금속 산화물막을 형성하기 위한 방법은 형성하고자 하는 물질막에 따라서 달라질 수 있다. 금속 산화물막을 IrO

₂막으로 형성할 경우에는 스퍼터링 방법을 사용하는 것이 바람직하다. 금속 산화물막의 두께는 형성하고자 하는 물질막에 따라서 달라지겠지만, 금속 산화물막은 100 Å 내지 1000 Å 사이의 두께로 형성할 수 있다. 금속 산화물막을 IrO

₂막으로 형성한 경우에는 500 Å 정도의 두께로 형성하는 것이 바람직하다.

한편, 금속 산화물막을 형성한 다음에는 열처리 공정을 수행하여 금속 산화물막을 결정화하는 것이 바람직하다. 금속 산화물막을 열처리하는 온도는 금속 산화물막으로 형성하고자 하는 물질막에 따라서 달라진다. 금속 산화물막을 IrO

₂막으로 형성한 경우에는 600℃ 정도에서 상기 열처리 공정을 수행하는 것이 바람직하다.

상기 내열성 금속막은 후속공정에서 하부 도전막(336) 상에 형성되는 유전막(338)의 결정성장을 유발할 수 있을 뿐만 아니라, 유전막(338)을 균일하게 성장시킬 수 있는 물질막으로 형성하는 것이 바람직하다. 따라서, 내열성 금속막은 Pt막으로 형성하는 것이 바람직하다. 하지만, 내열성 금속막은 Pt막, Ir막, Ru막, Rh막, Os 막, Pd막 또는 이들의 조합막으로 형성할 수도 있다. 상기 내열성 금속막은 화학기상 증착방법, 물리적 증착방법, 원자층 증착방법, 스퍼터링 방법 또는 레이저 용발방법을 사용하여 형성할 수

있다. 예를 들어, 내열성 금속막을 Pt막으로 형성할 경우에는 스퍼터링 방법을 사용하여 형성하는 것이 바람직하다. 내열성 금속막의 두께는 형성하고자 하는 물질막에 따라서 달라지지만, 내열성 금속막은 400 Å 내지 2500 Å 사이의 두께로 형성할 수 있다. 예를 들어, 내열성 금속막을 Pt막으로 형성한 경우에는 1500 Å 정도의 두께로 형성하는 것이 바람직하다.

하부 도전막(336)을 형성한 다음에는, 하부 도전막(336) 상에 유전막(338)을 형성한다. 상기 유전막(338)은 TiO

₂막, Ta₂O₅막 Al₂O₃막, BaTiO₃막, SrTiO₃막, Bi₄Ti₃O₁₂막, PbTiO₃막, SiO₂막, SiN막, (Ba, Sr)TiO₃막, (Pb, La)(Zr, Ti)O₃막, Pb(Zr, Ti)O₃막, SrBi₂Ta₂O₉막 또는 이들의 조합막으로 형성할 수 있다. 하지만, 후속공정에서 형성되는 캐패시터의 정전용량을 더욱 향상시키기 위하여 유전막(338)은 고유전체막 또는 강유전체막으로 형성하는 것이 바람직하다. 예를 들어, 상기 유전막(338)은 PZT막, BST막, PLZT막 또는 이들의 조합막으로 형성하는 것이 바람직하다. 유전막(338)은 통상적인 방법으로 형성할 수 있는데, 유전막(338)을 형성하기 위한 구체적인 방법의 선택은 상기에서 유전막(338)으로 나열한 물질막의 종류에 따라서 달라진다. 유전막(338)을 PZT막으로 형성한 경우에는 졸겔(sol-gel)방법을 사용하여 형성하는 것이 바람직하다. 또한, 유전막(338)의 형성두께는 유전막(338)으로 형성하고자 하는 물질막에 따라서 달라지겠지만, 유전막(338)은 500 Å 내지 2000 Å의 두께로 형성하는 것이 바람직하다. 유전막(338)을 PZT막으로 형성한 경우에는 2000 Å 정도의 두께로 형성하는 것이 바람직하다.

한편, 유전막(338)을 형성한 이후에는 산소분위기 및 600℃ 내지 900℃ 사이의 온도에서 열처리를 수행한다. 유전막(338)을 PZT막으로 형성한 경우에는 750℃ 정도에서 상기 열처리 공정을 수행한다. 그러면, 상기 열처리에 의하여 유전막(338)이 조밀해져 캐패시터의 정전용량이 향상되며, 캐패시터의 누설전류 특성이 완화된다는. 한편, 산소분위기의 열처리가 실시되기 때문에, 산소가 도전성 플러그(324)로 확산될 수 있다. 하지만, 확산방지막이 포함되어 있는 계면막(334)과 코발트 실리사이드막으로 된 상부 플러그(332)가 도전성 플러그(324)의 상부에 형성되어 있기 때문에, 도전성 플러그(324)의 하부막인 하부 플러그(330)로의 산소확산은 차단된다.

유전막(338)을 형성한 다음에는, 유전막(338) 상에 상부 도전막(340)을 형성한다. 상부 도전막(340)은 내열성 금속막, 금속 산화물막 또는 이들의 조합막으로 형성할 수 있다. 상기 금속막은 Pt막, Ir막, Ru막, Rh막, Os막 또는 Pd막일 수 있으며, 상기 금속 산화물막은 RuO

₂막, IrO₂막, (Ca, Sr)RuO₃막 또는 LaSrCoO₃막일 수 있다. 상부 도전막(340)은 IrO

₂막과 Ir막이 순차적으로 적층된 2 중막으로 형성하는 것이 바람직하다. IrO

₂막은 유전막(338)으로부터 산소원자가 이탈할 경우 산소원자를 제공급해 준다. 한편, 상부 도전막(340)은 형성하고자 하는 물질막에 따라서 형성두께가 달라지겠지만, 상부 도전막(340)은 500 Å 내지 3000 Å 사이의 두께로 형성하는 것이 바람직하다. 상기 상부 도전막(340)을 금속 산화물막과 내열성 금속막이 순차적으로 적층된 2 중막으로 형성할 경우에는, 금속 산화물막은 100 Å 내지 1000 Å 사이의 두께로 형성하고, 내열성 금속막은 400 Å 내지 2000 Å 사이의 두께로 형성하는 것이 바람직하다. 상부 도전막(340)을 IrO

₂막과 Ir막이 순차적으로 적층된 2 중막으로 형성할 경우에는 IrO₂막은 300 Å 정도의 두께로 형성하고, Ir막은 1200 Å 정도의 두께로 형성하는 것이 바람직하다.

도 3e를 참조하면, 계면막(334), 하부 도전막(336), 유전막(338) 및 상부 도전막(340)을 패터닝하여 계면막 패턴(334'), 캐패시터 하부전극(336'), 캐패시터 유전막(338') 및 캐패시터 상부전극(340')을 각각 형성한다. 캐패시터(C)를 형성하기 위한 상기 패터닝 단계는 1회의 사진 식각공정으로 수행될 수도 있고, 2회이상의 사진 식각공정으로 수행될 수도 있다. 캐패시터(C)를 2회의 사진 식각공정으로 형성할 경우, 먼저 상부 도전막(340)을 패터닝하여 상부전극(340')을 형성한다. 그 다음, 유전막(338), 하부 도전막(336), 계면막(334)을 패터닝하여 캐패시터 유전막(338'), 하부전극(336') 및 계면막 패턴(334')을 형성한다. 캐패시터(C)를 3회의 사진 식각공정으로 형성할 경우에는 상부 도전막(340)/유전막(338) 및 하부 도전막(336)/계면막(334) 각각에 대하여 별개의 사진 식각공정을 수행할 수도 있고, 상부 도전막(340)/유전막(338)/하부 도전막(336) 및 계면막(334) 각각에 대하여 별개의 사진 식각공정을 수행할 수도 있다.

도 3f 및 도 3g를 참조하면, 상기과 같이 2회 또는 3회의 사진 식각공정을 수행하여 캐패시터(C)를 형성하면, 도 3e에 도시된 것과 달리 캐패시터(C)의 측벽 프로파일은 계단형의 형태를 가질 수 있다. 도 3f는 2회의 사진 식각공정을 수행하여 캐패시터(C)를 형성한 경우를 도시한 것이고, 도 3g는 3회의 사진 식각공정을 수행하여 캐패시터(C)를 형성한 경우를 도시한 것이다.

상기와 같이, 캐패시터(C)를 형성한 다음에는 그 결과물을 450℃ 내지 600℃도 사이의 온도 및 산소 분위기 하에서 열처리하는 것이 바람직하다. 이처럼, 열처리를 하게 되면 캐패시터를 안정화시킬 수 있으며, 상기 캐패시터를 형성하기 위하여 수행한 식각공정에서 유발된 손상을 회복시킬 수 있다. 특히, 도전성 플러그(324)의 상부 플러그(332)를 900℃까지 열적으로 안정한 면저항을 가진 코발트 실리사이드막으로 형성하게 되면, 하부 도전막(336)을 구성하는 금속 산화물막 및 유전막(338)을 형성한 이후 또는 캐패시터(C)를 형성한 이후에 수행되는 600℃ 이상의 고온 열처리 공정에서 캐패시터(C)와 하부 플러그(330) 사이의 콘택저항의 열화를 보다 효과적으로 방지할 수 있게 된다.

한편, 상기과 같이 캐패시터(C)를 형성하고 난 이후에는 ILD공정, IMD공정, 패시베이션 공정 등이 진행되는 것이 일반적이다. 그런데, 이러한 공정들이 진행되는 동안 캐패시터 유전막(338')의 유전특성이 열화될 우려가 있다. 즉, ILD공정, IMD공정 및 패시베이션 공정이 진행되는 동안에 수소 소스가스(hydrogen based gas), 에컨대 수소소스가 발생하여 캐패시터 유전막(338')을 열화시킬 수 있다. 따라서, 캐패시터(C)를 형성하고 난 이후에 수행하는 공정에서 캐패시터(C)를 외부 환경으로부터 보호해 주기 위해, 캐패시터(C)를 감싸는 기능성막을 형성한다. 이를 위해 본 발명에 따른 반도체 메모리 소자 제조방법은 캐패시터(C)를 감싸는 다중막을

로 구성된 캡슐화막(EL)을 제공한다.

그런데, 다중막으로 구성된 캡슐화막(EL)은 캐패시터(C)를 외부환경으로부터 보호하기 위해 다음과 같은 기능을 수행할 수 있도록 형성하는 것이 바람직하다. 먼저, 캐패시터 유전막(338')의 휘발을 방지하여야 한다. 즉, 캐패시터 유전막(338')을 PZT막, BST막 또는 PLZT막과 같은 강유전체막 또는 강유전체막으로 형성할 경우 강유전체막이 후속하는 집적공정에서 휘발하는 것을 방지하여야 한다. 왜냐하면, 강유전체막이 휘발하면 캐패시터(C)가 열화되어 전하축적에 의하여 정보를 저장하는 고유의 기능이 상실되기 때문이다. 그리고, 캡슐화막(EL)은 캐패시터 유전막(338')과 반응을 일으키지 않아야 한다. 또한, 캡슐화막(EL)은 후속하는 집적공정에서 수소 소스가스가 직접적으로 캐패시터 유전막(338')으로 확산하는 것을 차단할 수 있어야 한다. 뿐만 아니라, 후속 집적공정에서 형성되는 층간절연막(ILD막), 금속간 절연막(IMD막) 또는 패시베이션막 내에 봉입된 수소 소스가스가 캐패시터 유전막(338')으로 확산하는 것을 차단할 수 있어야 한다.

따라서, 본 발명은 캡슐화막(EL)을 형성하되, 블라킹막과 캐패시터 보호막을 포함하도록 캡슐화막(EL)을 형성한다. 여기에서, 캐패시터 보호막은 후속 집적공정에서 수소 소스가스가 캐패시터 유전막(338')으로 확산하는 것을 방지하는 기능을 주로 수행한다. 그리고, 블라킹막은 캐패시터 보호막보다 안쪽에 형성되어, 블라킹막의 안쪽에 형성된 물질막과 캐패시터 보호막이 서로 반응하는 것을 방지하는 기능 및/또는 캐패시터 유전막(338')의 휘발방지 기능을 주로 수행한다. 물론, 주로 수행하는 기능에 있어서 블라킹막과 캐패시터 보호막은 차이는 있지만, 상기에서 나열한 기능들을 전부 수행함은 물론이다. 블라킹막과 캐패시터 보호막의 기능은 캡슐화막(EL)을 형성하는 과정 또는 캐패시터(C)를 형성하고 난 이후에 진행되는 후속 집적공정에서 주로 나타난다. 따라서, 이에 대해서는 이후에 상세하게 언급하기로 한다.

캡슐화막(EL)을 다중막으로 형성할 경우, 다음과 같이 캡슐화막(EL)을 구성하여 캐패시터(C)를 감쌀 수 있다. 예를 들어, 3중막으로 이루어진 캡슐화막(EL)의 경우, 블라킹막, 완충막 및 캐패시터 보호막의 순서로 적층시킨 캡슐화막(EL)으로 캐패시터(C)를 감쌀 수 있다. 그리고, 2중막으로 이루어진 캡슐화막(EL)의 경우, 블라킹막과 캐패시터 보호막으로 적층된 캡슐화막(EL)으로 캐패시터(C)를 감쌀 수도 있다. 이처럼, 캡슐화막(C)의 물질막 수 및 그 구성은 다양하게 결정될 수 있다. 그러나, 적어도 블라킹막과 캐패시터 보호막은 포함시키는 것이 바람직하다. 여기에서 적층시키고자 하는 물질막의 수는 캡슐화막(EL) 형성 공정의 경제성을 등을 고려하여 결정하여야 함은 물론이다.

도 3h를 참조하면, 본 발명에 따른 반도체 메모리 소자 제조방법의 제 1 실시예에서는 캡슐화막(EL)을 2 중막으로 형성한다. 먼저, 캐패시터(C)를 감싸는 블라킹막(342)을 반도체 기판(300)의 전면에 형성한다. 그리고 나서, 블라킹막(342) 상에 캐패시터 보호막(344)을 형성한다. 블라킹막(342)으로 형성할 물질막은 블라킹막(342)의 기능을 고려하여 선택한다. 바람직하게는, 블라킹막(342)은 TiO

$_2$ 막, Ta_2O_5 막, BaTiO_3 막, SrTiO_3 막, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막 또는 PbTiO_3 막으로 형성할 수 있다. 한편, 블라킹막(342)으로 형성하고자 하는 물질막의 선택에 있어서, 캐패시터 보호막(344)과 반응을 일으키지 않는 물질막을 선택하는 것이 바람직하다. 따라서, 블라킹막(342)을 형성하기 위한 물질막의 종류는 캐패시터 유전막(338')으로 형성한 물질막의 종류에 의하여 결정하는 것이 바람직하다. 예를 들어, PZT막, BST막 또는 PLZT막과 같은 강유전체막 또는 강유전체막으로 캐패시터 유전막(338')을 형성한 경우에는, TiO

$_2$ 막으로 블라킹막(342)을 형성하는 것이 바람직하다. 상기 블라킹막(342)의 두께는 블라킹막(342)이 수행하는 기능, 블라킹막(342)으로 선택한 물질막의 물성 등을 고려하여 결정한다. 따라서, 블라킹막(342)은 50 Å 내지 1500 Å의 두께로 형성하는 것이 바람직하다.

한편, 블라킹막(342)을 형성하기 위한 구체적인 방법의 선택은, 상기에서 나열한 물질막의 종류에 따라서 달라진다. 왜냐하면, 블라킹막(342)으로 형성할 수 있는 물질막으로 나열한 각각의 물질막에 따라, 블라킹막(342)의 형성시 적용이 용이한 방법이 있기 때문이다. 바람직하게는, 블라킹막(342)은 화학기상증착(Chemical Vapor deposition)방법, 물리적 증착(Physical Vapor Deposition)방법, 스퍼터링(Sputtering)방법, 원자층 증착(Atomic Layer Deposition)방법 또는 레이저 용발방법(Laser ablation)을 사용하여 형성할 수 있다. 하지만, 블라킹막(342)을 TiO

$_2$ 막으로 형성할 경우에는 스퍼터링 방법을 사용하여 형성하는 것이 보다 바람직하다. 물론, 스퍼터링 방법 이외의 방법도 사용할 수 있음은 물론이다.

스퍼터링 방법을 사용하여 TiO_2 막을 블라킹막(342)으로 형성할 경우, 타겟물질, 스퍼터링 가스 및 반응가스로는 각각 티탄 금속, 아르곤가스 및 산소가스를 사용할 수 있다. 그리고, 공정조건은 다음과 같이 설정할 수 있다. 예를 들어, 블라킹막(342)을 형성하기 위한 장치로 D.C 스퍼터링 장비를 사용할 때에는 1kW 내지 6kW 사이의 전력을 인가할 수 있지만, 6 kW정도인 정도인 것이 바람직하다. 그리고, 챔버의 온도는 25℃ 내지 700℃ 사이일 수 있지만, 630℃ 정도가 바람직하다. 챔버의 압력은 1 mtorr 내지 5 mtorr 사이로 조절할 수 있지만, 1 mtorr정도로 조절하는 것이 바람직하다. 또한, 아르곤가스와 산소가스의 유량은 각각 8 sccm 내지 14 sccm 사이로 조절할 수 있지만, 10 sccm정도로 각각 조절하는 것이 바람직하다.

캐패시터 보호막(344)으로 형성할 물질막은 캐패시터 보호막(344)이 수행하는 기능을 고려하여 선택한다. 바람직하게는, 캐패시터 보호막(344)은 TiO

$_2$ 막, Ta_2O_5 막, Al_2O_3 막, BaTiO_3 막, SrTiO_3 막, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막 또는 PbTiO_3 막으로 형성할 수 있다. 여기에서, 캐패시터 보호막(344)으로 형성할 물질막의 종류는, 캐패시터 유전막(338')으로 형성된 물질막의 종류 및 블라킹막(342)으로 형성된 물질막의 종류에 따라서 달라질 수 있다. 예를 들어, 블라킹막(342)과 반응성이 있는 물질막으로 캐패시터 보호막(344)을 형성하지 않는 것이 바람직하다. 또한, 블라킹막(342)과는 다른 물질막으로 캐패시터 보호막(344)을 형성하는 것이 바람직하다. 상기 물질막들 중에서 Si

O_3 막으로 캐패시터 보호막(344)을 형성하는 것이 보다 바람직하다. 한편, 캐패시터 보호막(344)의 두께는 캐패시터 보호막(344)이 수행하는 기능, 캐패시터 보호막(344)으로 선택한 물질막의 물성 등을 고려하여 결정한다. 바람직하게는, 캐패시터 보호막(344)은 50 Å 내지 5000 Å의 두께로 형성하는 것이 바람직하다. 하지만, 캐패시터 보호막(344)은 50 Å 내지 1500 Å의 두께로 형성하는 것이 보다 바람직하다. 한편, 캐패시터 보호막(344)이 1500 Å 이상이 되면, 캐패시터 보호막(344)이 증간절연막으로 사용될 수 있다. 따라서, 후속하는 ILD공정을 실시하지 않을 수 있다.

캐패시터 보호막(344)을 형성하기 위한 구체적인 방법의 선택은, 상기에서 나열한 물질막의 종류에 따라서 달라질 수 있다. 그 이유에 대해서는 블라킹막(342)의 형성 단계를 설명하면서 이미 언급한 바 있다. 바람직하게는, 캐패시터 보호막(344)은 화학기상증착(Chemical Vapor deposition)방법, 물리적 증착(Physical Vapor Deposition)방법, 스퍼터링(Sputtering)방법, 원자층 증착(Atomic Layer Deposition)방법 또는 레이저 용발방법을 사용하여 형성할 수 있다.

하지만, 원자층 증착방법을 사용하여 캐패시터 보호막(344)을 형성하는 것이 보다 바람직하다. 왜냐하면, 원자층 증착방법은 다음과 같은 공정상의 장점을 가지고 있기 때문이다. 즉, 원자층 증착방법은 저온에서 공정을 수행하는 것이 가능하다. 그리고, 물리적 및 화학적으로 매우 안전한 캐패시터 보호막(344)을 형성할 수 있다. 따라서, 이미 언급한 바 있는 캐패시터 보호막(344)의 기능을 강화시킬 수 있다. 또한, 캐패시터 보호막(344)을 형성할 때, 1 원자층 단위로 반복 형성하기 때문에, 막의 두께를 정확하게 제어하는 것이 가능하다. 아울러, 캐패시터 보호막(344)이 증착되는 피증착표면의 토폴로지가 아무리 복잡하더라도, 100%의 스텝 커버리지를 가지도록 캐패시터 보호막(344)을 형성할 수 있다.

상기 원자층 증착방법을 사용하여 캐패시터 보호막(344)으로 Al_2O_3 막을 형성할 때에는, 먼저 원자층 증착장치의 챔버 내에 로딩된 반도체 기판의 상부로 알루미늄 소스가스를 흘려준다. 알루미늄 소스가스로는 TMA(TriMethyl Aluminum), DMAH(DiMethylAluminum Hydride), DMEAA(DiMethylEthylAmine Alane), TIBA(TrisoButylAluminum) 또는 이들의 조합가스를 사용할 수 있다. 흘려준 알루미늄 소스가스는 반도체 기판의 전면에 화학적 또는 물리적으로 흡착된다. 그 다음, 챔버 내에 잔류하는 가스를 제거한 후, 불활성 가스로 반도체 기판의 상부를 퍼지(purge)하여 물리적으로 흡착된 알루미늄 소스가스를 제거한다. 불활성 가스는 Ar가스, N

H_2 가스, N_2O 가스 또는 이들의 조합가스를 사용할 수 있다. 이어서, 산소 소스가스를 반도체 기판의 상부에 흘려준다. 산소 소스가스로는 H

O 가스, N_2O 가스, O_3 가스 또는 이들의 조합가스를 사용할 수 있다. 알루미늄 소스가스와 산소 소스가스와의 반응은 알루미늄 소스가스가 흡착되어 있는 반도체 기판의 상부표면에서만 일어나기 때문에, 1 원자레벨의 박막이 형성된다. 그리고나서, 잔류하는 산소 소스가스를 챔버에서 제거한 후, 불활성 가스를 퍼지하여 반도체 기판의 상부표면에 물리적으로 흡착된 산소 소스가스를 제거한다. 상기 불활성 가스로 사용할 수 있는 가스의 종류는 이미 설명한 바 있다. 상기와 같은 과정을 거쳐 1 원자레벨의 박막이 형성되면, 원자층 증착방법의 1 사이클이 종료된다. 캐패시터 보호막(344)을 소정의 두께, 예컨대 100 Å의 두께로 형성할 때에는 원하는 막두께를 얻을 때까지 원자층 증착방법의 사이클을 반복한다.

캐패시터 보호막(344)으로 Al_2O_3 막을 원자층 증착방법을 사용하여 형성하기 위한 바람직한 공정조건은 다음과 같다. 즉, Al

O_3 막의 증착온도는 웨이퍼 온도를 기준으로 150℃ 내지 500℃ 사이일 수 있지만, 300℃ 정도가 바람직하다. 알루미늄 소스가스의 펄스시간은 0.1 초 내지 2 초일 수 있지만, 1 초 정도인 것이 바람직하다. 그리고, 물리적으로 흡착된 알루미늄 소스가스를 제거하기 위한 불활성 가스의 퍼지시간은 0.1초 내지 10 초일 수 있지만, 5초 정도인 것이 바람직하다. 또한, 산소 소스가스의 펄스시간은 0.1초 내지 20초일 수 있지만, 0.2 초 정도인 것이 바람직하다. 아울러, 물리적으로 흡착된 산소 소스가스를 제거하기 위한 불활성 가스의 퍼지시간은 0.1초 내지 20초일 수 있지만, 6 초 정도인 것이 바람직하다.

한편, 캡슐화막(EL)의 기능을 더욱 향상시키기 위하여 블라킹막(342)을 형성한 후 및/또는 캐패시터 보호막(344)을 형성한 후에 열처리 단계를 수행할 수 있다.

구체적으로, 블라킹막(342)을 형성한 후에 블라킹막(342)의 절연특성을 강화시키기 위하여 산소 분위기의 열처리 공정을 선택적(Optional)으로 수행할 수 있다. 바람직하게는, 600℃ 이하에서 열처리 공정을 수행한다. 왜냐하면, 블라킹막(342)을 고온, 예컨대 600℃ 이상에서 열처리하게 되면 산소가 도전성 플러그(324)로 확산할 우려가 있기 때문이다. 보다 바람직하게는, 400℃ 내지 600℃ 사이에서 열처리 공정을 수행한다.

캐패시터 보호막(344)을 형성한 다음에 캐패시터 보호막(344)의 절연특성을 강화하기 위하여 산소분위기의 열처리 공정을 선택적(optional)으로 수행할 수도 있다. 바람직하게는 600℃ 이하에서 열처리 공정을 수행한다. 보다 바람직하게는, 400℃ 내지 600℃ 사이의 온도에서 열처리 공정을 수행한다.

한편, 경우에 따라서 캐패시터 보호막(344)을 형성한 이후에 600℃ 이상의 고온 열처리 공정을 수행할 수도 있다. 왜냐하면, 캡슐화막(EL)막이 형성되어 있기 때문에, 산소가 쉽게 도전성 플러그(324)로 확산되지 않기 때문이다. 특히, 원자층 증착방법 이외의 방법으로 캐패시터 보호막(344)을 형성한 경우에는, 캐패시터 보호막(344)을 형성한 후에 고온 열처리 공정을 수행하는 것이 바람직할 수도 있다. 왜냐하면, 원자층 증착방법에 의하여 형성된 캐패시터 보호막(344)의 경우는, 막질이 매우 안정하기 때문에 고온에서 열처리를 진행하지 않더라도 캐패시터 보호막(344)으로써의 기능을 수행할 수 있지만, 다른 방법으로 형성된 캐패시터 보호막(344)의 경우에는 600℃ 이상의 고온 열처리 공정을 통하여 절연특성을 강화시킬 필요가 있기 때문이다. 특히, 블라킹막(342)을 형성하고 열처리 공정을 진행하지 않았고, 캐패시터 보호막(344)을 원자층 증착방법에 의하여 형성하지 않은 경우에는, 600℃ 이상의 고온 열처리 공정을 실시하는 것이 바람직하다. 한편, 원자층 증착방법에 의하여 형성된 캐패시터 보호막(344)은 막질이 안정하기 때문에, 열처리 공정이 진행되는 동안 도전성 플러그(324)로 산소가 확산되는 것을 보다 확실하게 방지할 수 있다. 따라서, 캐

패시터 보호막(344)의 열처리 단계에서의 공정마진을 더욱 증가시킬 수 있게 된다.

상기와 같이 캐패시터(C)를 캡슐화막(EL)으로 감싸게 되면, 후속공정에서 캐패시터(C)가 열화되는 것을 방지할 수 있다. 이에 대해서는 이하에서 구체적으로 설명하기로 한다.

도 3i를 참조하면, 캡슐화막(EL)을 형성하고 난 다음 ILD 공정을 진행한다. 즉, 반도체 기판(300)의 전면에서 제 3 층간절연막(346)을 형성한다. 제 3 층간절연막(346)은 실리콘 산화막, 실리콘 산화질화막, BSG막, PSG막, BPSG, TEOS막, 오존-TEOS막, PE-TEOS막, USG막 또는 이들의 조합막일 수 있다.

예를 들어, 제 3 층간절연막(346)을 화학기상증착방법을 사용하여 실리콘 산화막으로 형성할 경우에는, 실란가스와 산소가스가 반응가스로 사용된다. 그런데, 실란가스와 산소가스의 반응결과 수소가 부산물로 파생되어 캐패시터 유전막(338')를 열화시킬 수 있다. 그러나, 본 발명에 따르면, 캐패시터(C)는 다중막으로 구성된 캡슐화막(EL)으로 감싸여져 있기 때문에, ILD공정에서 수소가 캐패시터(C)로 확산하는 것을 차단할 수 있다. 캡슐화막(EL)을 구성하는 물질막 중에서, 특히 캐패시터 보호막(344)이 수소 차단기능을 주로 수행한다. 물론, 정도의 차이는 있지만 블라킹막(342)도 수소 차단 기능을 수행함은 물론이다.

이어서, 메탈공정을 진행한다. 즉, 먼저 제 3 층간절연막(346), 캐패시터 보호막(344) 및 블라킹막(342)을 통상적인 방법으로 패터닝하여, 캐패시터 상부전극(340')의 일부를 노출시키는 콘택홀(348)을 형성한다. 제 3 층간절연막(346)은 플루오르를 기초로한 (Fluorine-based) 습식식각 또는 건식식각 방법에 의하여 패터닝할 수 있다. 그리고, 캐패시터 보호막(344) 및 블라킹막(342)은 아르곤과 CF

4 분위기에서 반응성 이온 식각방법을 사용하여 패터닝할 수 있다. 콘택홀(348)을 형성한 다음, 상부전극 메탈콘택(350)을 형성한다. 콘택홀(348)을 형성한 후, 회복 열처리 공정(Recovery annealing)을 수행할 수도 있다. 회복 열처리 공정은, 예컨대 450℃ 내지 500℃ 사이의 온도에서 산소분위기로 수행할 수 있다. 도시하지는 않았지만, 상부전극 메탈콘택(350)이 형성될 때, 하부전극 메탈콘택도 같이 형성될 수도 있다.

도 3j를 참조하면, 상부전극 메탈콘택(350)을 형성한 다음 패시베이션 공정을 진행하여 패시베이션막(352)을 형성한다. 패시베이션막(352)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 또는 이들의 조합막으로 형성할 수 있다. 하지만, 패시베이션막(352)은 실리콘 질화막 또는 실리콘 산화질화막으로 형성하는 것이 바람직하다. 상기 패시베이션막(352)의 두께는 보통 2000 Å 내지 20000 Å 사이의 두께로 형성한다. 패시베이션막(352)은 화학기상증착방법, 물리적 증착방법, 원자층 증착방법, 스퍼터링 방법 또는 레이저 용발방법을 사용하여 형성할 수 있다. 하지만, 패시베이션막(352)은 PECVD방법을 사용하여 형성하는 것이 바람직하다.

패시베이션막(352)을 PECVD방법을 사용하여 실리콘 질화막으로 형성할 경우에는, RF파워는 300 내지 600W일 수 있지만, 400W 정도가 바람직하다. 반응챔버 내의 압력은 1 내지 15torr 사이일 수 있지만, 5torr정도인 것이 바람직하다. 반응챔버내의 온도는 150℃ 내지 500℃ 사이일 수 있지만, 300℃ 정도인 것이 바람직하다. 반응가스로 사용되는 실란가스(SiH

4)의 공급유량은 50 내지 500sccm 사이일 수 있지만, 150sccm정도인 것이 바람직하다. 반응가스로 사용되는 암모니아(NH

3)가스의 공급유량은 20 내지 200sccm 사이일 수 있지만, 40sccm 정도인 것이 바람직하다.

패시베이션막(352)을 PECVD방법을 사용하여 실리콘 산화질화막으로 형성할 경우에는 RF파워, 반응챔버 내의 압력 및 반응챔버 내의 온도는 패시베이션막(352)을 PECVD방법을 사용하여 실리콘 질화막으로 형성하는 경우와 실질적으로 동일하다. 다만, 반응가스로 사용되는 실란가스(SiH

4)의 공급유량은 10 내지 200sccm 사이일 수 있지만, 50sccm정도인 것이 바람직하다. 반응가스로 사용되는 암모니아(NH

3)가스의 공급유량은 20 내지 500sccm 사이일 수 있지만, 150sccm 정도인 것이 바람직하다. 반응가스로 사용되는 N

2O가스의 공급유량은 20 내지 500sccm 사이일 수 있지만, 150sccm정도인 것이 바람직하다.

한편, 패시베이션막(352)을 형성하는 과정에서, ILD공정과 마찬가지로 수소 소스가스가 캐패시터(C)로 침투할 수 있다. 하지만, 캐패시터 보호막(344)이 수소 소스가스의 캐패시터(C) 침투를 차단하게 된다. 그 결과, 패시베이션 공정이 진행되는 과정에서 캐패시터(C)의 열화가 방지된다. 블라킹막(342)도 정도의 차이는 있지만 수소 소스가스의 캐패시터(C) 침투를 차단할 수 있음은 물론이다.

한편, 상기 상부전극 메탈콘택(350)을 형성하기 위하여 콘택홀(348)을 형성하는 과정에서 캐패시터 상부전극(340') 상에 형성된 캡슐화막(EL)의 일부가 제거된다는 것에 대해서는 설명한 바 있다. 따라서, 메탈콘택 형성공정 이후에 수행되는 패시베이션 공정에서 수소 소스가스가 캡슐화막(EL)이 제거된 캐패시터 상부전극(340') 부분으로 침투할 수 있다. 또한, 패시베이션막(352) 자체에도 수소 소스가스가 봉입되어 있기 때문에, 패시베이션 공정이 종료된 이후에도 봉입된 상기 수소 소스가스가 캐패시터(C) 방향으로 확산하여 캐패시터 유전막(338')을 열화시킬 수도 있다. 따라서, 패시베이션 공정에서의 수소침투에 의한 캐패시터 유전막(338')의 열화를 보다 완전하게 방지하기 위하여 패시베이션 공정을 진행하기 전에 수소침투 방지막(354)을 선택적으로 형성할 수 있다. 상기 수소침투 방지막(354)은 후속 패시베이션막(352) 형성공정에서 유발되는 수소소스가스가 캐패시터(C) 방향으로 확산하여 캐패시터 유전막(338')을 열화시키는 것을 방지한다.

상기 수소침투 방지막(354)은 캡슐화막(EL)을 구성하는 캐패시터 보호막(344)과 실질적으로 동일한 기능을 수행한다. 따라서, 수소침투 방지막(354)으로 형성하는 물질막이 갖추어야 할 물리적, 화학적, 결정학적 물성은 캐패시터 보호막(344)으로 형성하는 물질막과 실질적으로 동일하다. 상기 수소침투 방지막(354)은 Al

$2O_3$, TiO_2 막, Ta_2O_5 막, $BaTiO_3$ 막, $SrTiO_3$ 막, $Bi_4Ti_3O_{12}$ 막, $PbTiO_3$ 막 또는 이들의 조합막으로 형성할 수 있다. 하지만, 수소침투 방지막(354)은 Al

$2O_3$ 막으로 형성하는 것이 바람직하다. 상기 수소침투 방지막(354)은 통상적인 방법인 화학기상 증착방법, 물리적 증착방법, 스퍼터링 방법, 원자층 증착방법 또는 레이저 용발방법을 사용하여 형성할 수 있다. 하지만, 상기 수소침투 방지막(354)은 원자층 증착방법에 의하여 형성하는 것이 바람직하다. 원자층 증착방법에 의하여 수소침투 방지막(354)을 형성할 경우에 얻을 수 있는 장점은 원자층 증착방법에 의하여 캐패시터 보호막(344)을 형성할 경우에 얻을 수 있는 장점과 실질적으로 동일하다. 상기 수소침투 방지막(354)을 원자층 증착방법에 의하여 형성할 경우에 바람직한 공정조건은, 캐패시터 보호막(344)을 원자층 증착방법으로 형성할 경우에 적용할 수 있는 바람직한 공정조건과 실질적으로 동일하다.

상기 수소침투 방지막(354)은 50 Å 내지 20000 Å 사이의 두께로 형성할 수 있지만, 200 Å 내지 300 Å 사이의 두께로 형성하는 것이 바람직하다.

한편, 도시하지는 않았지만 수소침투 방지막(354)을 형성하기 전에 산화막으로 된 완충막(미도시)을 선택적으로 형성할 수도 있다. 상기 완충막(미도시)은 상압 CVD방법 또는 PECVD방법을 사용하여 형성할 수 있다. 예를 들어, 상기 완충막을 상압 CVD방법에 의한 산화막으로 형성할 경우, 상기 완충막은 오존-TEOS막, PSG막 또는 BPSG막으로 형성할 수 있다. 상기 완충막을 PECVD방법에 의한 산화막으로 형성할 경우에는, 상기 완충막은 PE-TEOS막 또는 PE-SiH

4 막으로 형성할 수 있다.

상기 완충막(미도시)은 PE-CVD방법을 사용하여 실란가스에 기초한 산화막 또는 TEOS가스에 기초한 산화막으로 형성하는 것이 바람직하다. 완충막(미도시)을 PE-CVD방법을 사용하여 PE-TEOS막으로 형성할 경우에, RF파워는 100W 내지 500W 사이일 수 있지만, 200W인 것이 바람직하다. 반응챔버의 압력은 1 내지 15torr사이일 수 있지만, 5torr인 것이 바람직하다. 반응챔버의 온도는 150 내지 450°C 사이일 수 있지만, 300°C인 것이 바람직하다.

도 3a 및 도 3j를 참조하여 설명한 바와 같이, 캐패시터(C)를 캡슐화막(EL)으로 감싼 상태에서 ILD공정, 패시베이션 공정 등을 진행하면, 수소 소스가스에 의한 캐패시터 유전막(338')의 열화를 방지할 수 있다. 아울러, 패시베이션 공정을 진행하기 전에 수소침투 방지막(354)을 추가로 더 형성할 경우에는 캐패시터(C)를 형성한 이후에 수행되는 반도체 메모리 소자의 집적과정에서 캐패시터 유전막(338')이 열화되는 것을 보다 완전하게 방지할 수 있게 된다.

본 발명에 따른 반도체 메모리 소자 제조방법의 제 2 실시예는 도전성 플러그(도 3b의 324 참조)를 도핑된 폴리실리콘으로 형성하고 후속 실리사이드화 열처리 공정에서 도전성 플러그(도 3b의 324 참조) 전체를 실리사이드화한다는 점을 제외하면, 본 발명에 따른 반도체 메모리 소자 제조방법의 제 1 실시예와 실질적으로 동일하게 공정단계들이 진행된다.

제 2 실시예에서는 도전성 플러그(도 3b의 324 참조) 전체를 실리사이드화하여야 하므로, 실리사이드화 열처리 공정에서 소스 물질막으로 사용되는 고용점 금속막(도 3b의 326 참조)을 상기 제 1 실시예의 경우보다 두껍게 형성하는 것이 바람직하다. 따라서, 상기 고용점 금속막(도 3b의 326 참조)은 130 Å 이상의 두께로 형성하여 실리사이드화 열처리 공정 이후에도 고용점 금속막이 잔류할 수 있도록 하는 것이 바람직하다. 도전성 플러그(도 3b의 324 참조) 전체를 실리사이드화하는 열처리 공정은 제 1 실시예의 경우와 실질적으로 동일한 공정조건으로 진행된다.

본 발명에 따른 반도체 메모리 소자 제조방법의 제 3 실시예에서는 제 1 실시예의 경우와는 달리 고용점 금속의 실리사이드막, 예컨대 코발트 실리사이드막을 상부 플러그(도 3c의 332참조)로 형성하는 것이 아니라, 계면막(도 3d의 334 참조)내에 형성한다.

도 4a를 참조하면, 제 1 실시예의 경우와 실질적으로 동일한 공정단계를 진행하여 제 1 및 제 2 층간절연막(318 및 320) 내에 도전성 플러그(324)를 형성한다. 상기 도전성 플러그(324)는 도 3c에 도시된 하부 플러그(330)와 실질적으로 동일한 물질막으로 형성할 수 있다. 예를 들어, 상기 도전성 플러그(324)는 도핑된 폴리실리콘막으로 형성하는 것이 바람직하다. 그런 다음, 도전성 플러그(324) 및 제 2 층간절연막(320) 상에 도전막(356), 고용점 금속막(358) 및 표면 평탄화막(360)을 순차적으로 형성한다. 상기 도전막(356)은 도 3c에 도시된 하부 플러그(330)와 실질적으로 동일한 물질막으로 형성할 수 있다. 예를 들어, 상기 도전막(356)은 도핑된 폴리실리콘막으로 형성하되, 3000 Å 내지 10000 Å 사이의 두께로 형성하는 것이 바람직하다. 상기 고용점 금속막(358)은 도 3b에 도시된 고용점 금속막(326)과 실질적으로 동일한 물질막으로 형성할 수 있다. 예를 들어, 상기 표면 평탄화막(360)은 코발트막으로 형성하되, 50 Å 내지 200 Å 사이의 두께로 형성하는 것이 바람직하다. 상기 표면 평탄화막(360)은 도 3b에 도시된 표면 평탄화막(328)과 실질적으로 동일한 물질막으로 형성할 수 있다. 예를 들어, 상기 표면 평탄화막(360)은 티타늄 질화막으로 형성하되, 50 Å 내지 150 Å 사이의 두께로 형성하는 것이 바람직하다.

한편, 도핑된 폴리실리콘막으로 도전막(356)을 형성하게 되면 도전막(356) 상부표면에 자연산화막이 형성된다. 따라서, 고용점 금속막(358)을 형성하기 전에 도전막(356) 상에 형성된 자연산화막을 제거하는 것이 바람직하다. 상기 자연산화막을 제거하는 방법은, 본 발명에 따른 반도체 메모리 소자 제조방법의 제 1 실시예를 설명하면서 상세하게 설명한 바 있으므로 여기에서는 생략한다.

도 4b를 참조하면, 도전막(356), 고용점 금속막(358) 및 표면 평탄화막(360)을 순차적으로 형성한 다음, 실리사이드화 열처리 공

정을 수행하여 도전막(356) 상부를 실리사이드막(362)으로 변화시킨다. 상기 고용점 금속막(358)을 코발트막으로 형성한 경우에는 상기 실리사이드화 열처리 공정이 진행되는 과정에서 도전막(356)의 상부가 코발트 실리사이드막으로 변화하게 된다. 상기 실리사이드화 열처리 공정은 도 3c에 도시된 상부 플러그(332)를 형성하는 과정에서 수행한 실리사이드화 열처리 공정과 실질적으로 동일하게 진행된다.

상기 실리사이드화 열처리 공정 이후에는 미반응 고용점 금속막(358) 및 표면 평탄화막(360)을 제거한다. 미반응 고용점 금속막(358) 및 표면 평탄화막(360)을 제거하는 방법은 본 발명에 따른 반도체 메모리 소자 제조방법에 대한 제 1 실시예의 경우와 실질적으로 동일하다.

상기와 같이 미반응 고용점 금속막(358) 및 표면 평탄화막(360)을 제거한 이후에는, 실리사이드막(358) 상에 확산방지막(미도시)을 형성한다. 그런데, 확산방지막(미도시)을 형성하는 단계부터 진행되는 공정단계는 본 발명에 따른 반도체 메모리 소자 제조방법의 제 1 실시예의 경우와 실질적으로 동일하므로 여기에서는 생략하기로 한다.

한편, 상기에서는 도전성 플러그(324) 및 도전막(356)을 별개의 공정을 진행하여 형성하였다. 하지만, 공정단계의 수를 줄이기 위하여 도전성 플러그(324) 및 도전막(356)을 하나의 공정으로 형성할 수도 있다. 예를 들어, 도핑된 폴리실리콘을 콘택홀(322) 및 제 2 층간절연막(320)상에 형성한 후, 제 2 층간절연막(320)의 상부표면에 도핑된 폴리실리콘막이 소정 높이로 잔류하도록 도핑된 폴리실리콘의 상부표면을 평탄화한다. 그러면, 도전성 플러그(324) 및 도전막(356)을 단일공정으로 형성할 수 있게 된다.

본 발명에 따른 반도체 메모리 소자 제조방법의 제 4 실시예는 확산방지막 형성단계 및 하부 도전막 형성단계를 생략한 점을 제외하면 제 3 실시예의 경우와 실질적으로 동일한 공정단계들이 진행된다. 다시 말해, 본 발명에 따른 반도체 메모리 소자 제조방법의 제 4 실시예에서 형성되는 실리사이드막(예컨대, 코발트 실리사이드막)은 확산방지막으로써 사용될 뿐만 아니라, 캐패시터 하부전극으로써도 사용된다.

한편, 본 발명에 따른 반도체 메모리 소자 제조방법의 제 4 실시예에서는 실리사이드화 열처리 공정에서 형성되는 실리사이드막(예컨대, 코발트 실리사이드막)은 캐패시터 하부전극으로 사용되기 때문에, 상기 실리사이드화 열처리 공정에서 실리콘 소스로 사용되는 도전막(도 4a의 356 참조)은 충분한 두께로 형성하는 것이 바람직하다. 따라서, 도전막(도 4a의 356 참조)은 3000 Å 내지 10000 Å 사이의 두께로 형성하는 것이 바람직하다. 또한, 상기 실리사이드화 열처리 공정을 통하여 형성되는 실리사이드막(도 4b의 362 참조)이 3000 Å 내지 10000 Å 사이의 두께로 형성되도록 상기 실리사이드화 열처리 공정을 진행하는 것이 바람직하다.

본 발명에 따른 반도체 메모리 소자 제조방법의 제 5 실시예는 하부 도전막을 형성하기 전에 도전성 플러그 및 제 2 층간절연막 상에 실리사이드막과 확산방지막을 순차적으로 형성한다는 점 및 상기 실리사이드막은 CVD방법 또는 스퍼터링 방법에 의하여 직접 형성된다는 점을 제외하면 제 3 실시예와 실질적으로 동일한 공정단계에 의하여 진행된다. 상기 실리사이드막은 도 3c에 도시된 상부 플러그(332)와 실질적으로 동일한 물질막으로 형성하는 것이 바람직하며, 50 Å 내지 1000 Å 사이의 두께로 형성하는 것이 바람직하다. 상기 확산방지막은 도 3d에 도시된 계면막(334)에 포함된 확산방지막과 실질적으로 동일한 물질막으로 형성하는 것이 바람직하다.

도 5를 참조하면, 본 발명에 따른 반도체 메모리 소자 제조방법의 제 6 실시예는 하부 플러그(330)와 상부 플러그(332)로 구성되는 도전성 플러그(324)의 형성단계까지는 제 1 실시예의 경우와 실질적으로 동일한 공정단계가 진행된다.

이어서, 도전성 플러그(324)의 상부 플러그(332) 상에 계면막 패턴(364)과 캐패시터 하부전극(366)을 단위셀 별로 형성한다. 구체적으로는, 상부 플러그(332) 및 제 2 층간절연막(320) 상에 계면막 및 하부 도전막을 순차적으로 형성한다. 상기 계면막 및 하부 도전막은 도 3d에 도시된 계면막(334) 및 하부 도전막(336)과 실질적으로 동일하다. 그런 다음, 사진 식각공정을 수행하여 상기 계면막 및 하부 도전막을 패터닝하여 계면막 패턴(364)과 캐패시터 하부전극(366)을 형성한다.

상기와 같이 계면막 패턴(364) 및 캐패시터 하부전극(366)을 형성한 이후에는 반도체 기판(300)의 전면에 통상적인 방법, 예컨대 PECVD방법을 사용하여 제 3 층간절연막(368)을 형성한다. 제 3 층간절연막(368)으로 형성할 수 있는 물질막의 종류는 제 1 층간절연막(318)을 형성할 수 있는 물질막의 종류와 실질적으로 동일하다. 그 다음, 사진 식각공정을 수행하여 제 3 층간절연막(368) 내에 캐패시터 하부전극(366)의 상부표면을 노출시키는 개구(370)를 형성한다. 그리고 나서, 상기 개구(370)의 측벽에 통상적인 방법을 사용하여 확산방지 스페이서(372)를 형성한다. 상기 확산방지 스페이서(372)는 도 3h에 도시된 캐패시터 보호막(342)과 실질적으로 동일한 물질막으로 형성할 수 있다. 예를 들어, 확산방지 스페이서(372)는 ALD-AI

O_3 막으로 형성하는 것이 바람직하다. 확산방지 스페이서(372)를 형성한 다음, 확산방지 스페이서(372)의 막질을 안정화하여 그 기능을 향상시키기 위해 400 °C 내지 600 °C 사이의 온도 및 산소 분위기 하에서 열처리 공정을 선택적으로 수행할 수 있다. 상기 개구(370) 내에는 통상적인 방법, 예컨대 증착방법을 사용하여 캐패시터 유전막(374)을 형성한다. 상기 캐패시터 유전막(374)은 도 3e의 캐패시터 유전막(338')과 실질적으로 동일한 물질막으로 형성할 수 있다. 캐패시터 유전막(374)을 형성한 이후에는 캐패시터 유전막(374)을 결정화하고, 캐패시터 유전막(374)의 유전특성을 강화하기 위하여 600 내지 800 °C 사이의 온도 및 산소 분위기 하에서 열처리 공정을 선택적으로 수행할 수 있다. 상기 캐패시터 유전막(374)의 상부에는 캐패시터 상부전극(376)을 형성한다. 상기 캐패시터 상부전극(376)은 상부 도전막을 통상적인 방법, 예컨대 스퍼터링 방법을 사용하여 반도체 기판의 전면에 형성한 후, 사진 식각공정을 수행하여 상부 도전막을 패터닝함으로써 형성할 수 있다. 상기 상부 도전막을 형성할 수 있는 물질막의 종류, 두께, 구성 및 형성방법은 도 3d에 도시된 상부 도전막(340)의 경우와 실질적으로 동일하다. 그리고 나서, 캐패시터 유전막(374)의 상부표면 중에서 캐패시터 상부전극(376)이 형성되지 않은 부분 및 캐패시터 상부전극(376)의 표면을 직접적으로 감싸는 캡슐화막(EL')을 형성한다. 상기 캡슐화막(EL')은 도 3h에 도시된 캡슐화막(EL)과 같이 다중막으로 형성하는 것이 바람직하다. 그리고, 캡슐화막(EL')은 적어도 몰락킴막(378) 및 캐패시터 보호막(380)을 포함하도록 형성하는 것이 바람직하다. 예를 들어, 반도체 기판(300)의 전면에 몰락킴막(378) 및 캐패시터 보호막(380)을 순차적으로 형성한다. 몰락킴막(378)과 캐패시터 보호막(380)으로 형

성할 수 있는 물질막의 종류, 물질막의 두께 및 그 형성방법은 도 3h의 몰락킹막(342)과 캐패시터 보호막(344)의 경우와 실질적으로 동일하다. 상기 캐패시터 보호막(380)을 형성하기 전 및/또는 캐패시터 보호막(380)을 형성한 후에 산소분위기하의 열처리 공정을 수행할 수 있다. 상기 열처리 공정은 본 발명에 따른 반도체 메모리 소자 제조방법의 제 1 실시예와 실질적으로 동일한 공정조건하에 수행할 수 있다.

캡슐화막(EL')을 형성하고 난 다음, ILD공정을 수행하여 반도체 기판(300)의 전면에 제 4 층간절연막(382)을 형성한다. 제 4 층간절연막(382)을 형성할 수 있는 물질막의 종류는 제 1 층간절연막(318)의 경우와 실질적으로 동일하다. 그런 다음, 메탈공정을 진행하여 제 4 층간절연막(382)을 관통하여 캐패시터 상부전극(376)을 콘택하는 상부전극 메탈콘택(384)을 형성한다. 도시하지는 않았지만, 이 과정에서 하부전극 메탈콘택이 형성될 수도 있다. 그리고 나서, 반도체 기판(300)의 전면에 패시베이션막(386)을 형성한다. 상기 패시베이션막(386)막으로 형성할 수 있는 물질막의 종류, 두께, 구성 및 형성방법은 도 3j에 도시된 패시베이션막(352)의 경우와 실질적으로 동일하다.

본 발명에 따른 반도체 메모리 소자 제조방법의 제 6 실시예에서도 캐패시터 유전막(374)을 확산방지 스페이서(372) 및 캡슐화막(EL')을 사용하여 직접적으로 감싼 후에 후속공정을 진행하기 때문에, ILD공정, 패시베이션 공정 등에서 유발되는 수소 소스가스에 의해 캐패시터 유전막(374)이 열화되는 것을 방지할 수 있다.

한편, 본 발명에 따른 반도체 메모리 소자 제조방법에 대한 제 6 실시예의 경우에도 상기 제 1 실시예와 마찬가지로, 패시베이션 공정을 진행하기 전에 수소침투 방지막(388)을 반도체 기판(300)의 전면에 선택적으로 형성할 수 있다. 또한, 도시하지는 않았지만, 수소침투 방지막(388)을 형성하기 전에 반도체 기판(300)의 전면에 완충막(미도시)을 선택적으로 형성할 수도 있다. 상기 수소침투 방지막(388) 및 완충막(미도시)으로 형성할 수 있는 물질막의 종류, 두께, 구성 및 형성방법은 상기 제 1 실시예의 경우와 실질적으로 동일하다. 상기과 같이 패시베이션 공정을 수행하기 전에 완충막(미도시) 및/또는 수소침투 방지막(388)을 형성하게 되면, 패시베이션 공정에서 유발된 수소소스 가스가 상부전극 메탈콘택(384)이 형성된 부분을 통하여 캐패시터 유전막(374)으로 확산하는 것을 보다 완전하게 차단할 수 있게 된다.

본 발명에 따른 반도체 메모리 소자 제조방법의 제 7 실시예는 제 1 및 제 2 층간절연막(318 및 320) 내에 형성된 콘택홀(322) 내에 형성되는 도전성 플러그(324) 전체를 고용점 금속의 실리사이드막으로 형성한다. 그 이후에는, 상기 제 6 실시예의 경우와 실질적으로 동일하게 공정단계들이 진행된다. 제 1 및 제 2 층간절연막(318 및 320) 내에 형성된 콘택홀(322) 내에 고용점 금속의 실리사이드막을 형성하는 방법은 상기 제 2 실시예에서 이미 설명한 바 있으므로, 여기에서는 생략한다.

본 발명에 따른 반도체 메모리 소자 제조방법의 제 8 실시예는 제 1 및 제 2 층간절연막(318 및 320) 내에 형성된 콘택홀(322) 내에 단일막, 예컨대 도핑된 폴리실리콘막으로 이루어진 도전성 플러그(324)를 형성한다는 점, 계면막 패턴(364)은 도전막 패턴\실리사이드막 패턴\확산방지막 패턴이 순차적으로 적층된 3 중막 패턴이 되도록 형성한다는 점을 제외하면, 상기 제 6 실시예의 경우와 실질적으로 동일하게 공정단계들이 진행된다.

상기와 같이 계면막 패턴(364)을 3중막 패턴으로 형성하기 위해서는 먼저, 도전성 플러그(324) 및 제 2 층간절연막(320) 상에 도전막, 실리사이드막 및 확산방지막을 순차적으로 형성한다. 그런데, 도전막, 실리사이드막 및 확산방지막을 순차적으로 형성하는 방법은 상기 제 3 실시예의 경우와 실질적으로 동일하다. 그리고, 상기 도전막, 실리사이드막 및 확산방지막으로 형성하고자 하는 물질막의 종류 및 두께는 상기 제 3 실시예의 경우와 실질적으로 동일하다.

본 발명에 따른 반도체 메모리 소자 제조방법의 제 9 실시예는 제 1 및 제 2 층간절연막(318 및 320) 내에 형성된 콘택홀(322) 내에 단일막, 예컨대 도핑된 폴리실리콘막으로 이루어진 도전성 플러그(324)를 형성하는 단계까지는 상기 제 7 실시예의 경우와 실질적으로 동일하게 공정단계들을 진행한다. 그런 다음, 도전성 플러그(324) 및 제 2 층간절연막(320) 상에 도핑된 폴리실리콘막과 실리사이드막을 형성한다. 이러한 단계는 상기 제 4 실시예의 경우와 실질적으로 동일하게 진행된다. 그런 다음, 상기 사진식각 공정을 수행하여 상기 실리사이드막 및 도핑된 폴리실리콘막을 캐패시터 하부전극(366) 및 계면막 패턴(364)으로 각각 패터닝한다. 캐패시터 하부전극(366)을 형성한 이후에는, 상기 제 6 실시예의 경우와 실질적으로 동일한 공정단계들이 진행된다.

본 발명에 따른 메모리 소자 제조방법의 제 10 실시예는 제 1 및 제 2 층간절연막(318 및 320) 내에 형성된 콘택홀(322) 내에 단일막, 예컨대 도핑된 폴리실리콘막으로 이루어진 도전성 플러그(324)를 형성하는 단계까지는 상기 제 7 실시예의 경우와 실질적으로 동일한 공정단계들이 진행된다. 그런 다음, 도전성 플러그(324) 및 제 2 층간절연막(320) 상에 실리사이드막과 확산방지막을 순차적으로 형성한다. 그리고 나서, 사진 식각공정을 수행하여 상기 실리사이드막 및 확산방지막을 패터닝함으로써 계면막 패턴(364)을 형성한다. 계면막 패턴(364)을 형성한 이후에는 본 발명에 따른 반도체 메모리 소자 제조방법의 제 6 실시예의 경우와 실질적으로 동일한 공정단계들이 진행된다.

이하에서는 다중막으로 이루어진 캡슐화막(EL)으로 캐패시터(C)를 감싸게 되면, ILD 공정, 패시베이션 공정에서 발생하는 수소 소스가스에 의하여 캐패시터(C)가 열화되지 않는다는 것을 실험예를 통하여 설명한다. 이를 위해 시편1(S

1)을 아래와 같은 조건으로 형성하였다. 그리고 나서, 시편1(S

1)의 캐패시터에 -5볼트 내지 5볼트 사이의 전압을 인가하면서 분극 이력도(Polarization) 및 캐패시터의 누설전류(leakage current)를 측정하고 그 결과를 도 6 및 도 7에 각각 도시하였다.

시편 1(S₁) 제작과정은 다음과 같다. 먼저, 반도체 기판 상에 캐패시터 공정을 진행하여 강유전체 캐패시터를 형성하였다. 캐패시터의 면적은 1.44×10

-6cm 이고, 캐패시터 유전막은 PZT막으로서 두께는 2000\AA 이다. 그리고, 캐패시터의 상부전극은 Ir막과 IrO

$_2$ 막의 2 중막이며, 그 두께는 각각 1200\AA 과 300\AA 이고, 캐패시터 하부전극은 Pt막과 IrO $_2$ 막의 2 중막이며, 그 각각 1500\AA 과 500\AA 이다.

그리고 나서, 캡슐화막을 2 중막으로 형성하였다. 즉, 블락킹막은 스퍼터링 방법을 사용하여 TiO

$_2$ 막을 1000\AA 의 두께로 형성하였다. 그리고 나서, 산소분위기 및 450°C 에서 30분간 열처리 하였다. 캐패시터 보호막은 원자층 증착방법을 사용하여 Al

$_2\text{O}_3$ 막을 120\AA 의 두께로 형성하였다.

이어서, 수소 소스가스를 유발하는 ILD공정을 진행하여 캐패시터가 형성된 반도체 기판의 전면에 층간절연막을 형성하였다. 이어서, 상부전극과 하부전극의 일부를 노출시키는 콘택홀을 형성하였다. 콘택홀을 형성하면서 생긴 손상을 회복하기 위해, 산소분위기 및 450°C 에서 30 분간 시편1(S

$_1$)을 열처리하였다. 그 다음, 상부전극 메탈콘택 및 하부전극 메탈콘택을 형성하였다.

도 6을 참조하면, TiO $_2$ 막\Al $_2\text{O}_3$ 막으로 구성된 캡슐화막을 형성하고 나서 ILD공정을 진행한 결과 캐패시터 유전막이 열화되지 않았음을 확인할 수 있다. 즉, 잔류 분극도값이 $25\text{ }\mu\text{C}/\text{cm}$ 정도로써 원래의 값을 거의 그대로 유지하고 있음을 알 수 있다. 이 실험결과를 캡슐화막이 캐패시터 유전막의 열화를 방지하였음을 보여주고 있다.

도 7을 참조하면, 캐패시터의 누설전류가 약 1볼트 내지 4볼트사이에서 약 10^{-10} 암페어의 값을 가지고 있음을 확인할 수 있다. 따라서, 캐패시터 누설전류는 반도체 메모리 소자의 동작전압 내에서 안정적인 분포를 보이고 있음을 확인할 수 있다. 즉, 이 실험결과도 캡슐화막이 캐패시터 유전막의 열화를 방지하고 있음을 보여주고 있다.

다음은, 시편2(S $_2$)와 시편3(S $_3$)을 추가로 제작하고 시편1(S $_1$)과 비교 실험을 하였다. 비교의 편의를 위하여 시편1(S

$_1$)의 블락킹막과 캐패시터 보호막으로 사용된 TiO $_2$ 막 및 Al $_2\text{O}_3$ 막을 시편1(S $_1$)과 동일한 방법을 사용하여 시편2(S $_1$) 및 시편3(S $_3$)의 캡슐화막으로 각각 형성하였다. 즉, 시편2(S

$_1$)의 캡슐화막은 TiO $_2$ 막만을 스퍼터링 방법을 사용하여 형성하였고, 시편3(S $_3$)의 캡슐화막은 Al $_2\text{O}_3$ 막만을 원자층 증착방법을 사용하여 형성하였다.

구체적으로, 시편2(S $_2$)와 시편3(S $_3$)을 제조하기 위하여 먼저, 캐패시터 공정을 수행하여 반도체 기판 상에 시편1(S $_1$)과 동일한 조건으로 캐패시터를 형성하였다. 그리고 나서, 단일막으로 이루어진 캡슐화막을 형성하였다. 시편2(S

$_2$) 및 시편3(S $_3$)의 단일막으로 이루어진 캡슐화막은 다음과 같은 조건으로 형성되었다.

시편2(S $_2$)는 캡슐화막으로 TiO $_2$ 막을 스퍼터링 방법을 사용하여 1000\AA 의 두께로 형성하였다. 그리고 나서, 캡슐화막의 절연특성을 강화하기 위하여 산소분위기 및 650°C 에서 30분 동안 열처리를 하였다. 시편1(S

$_1$)의 블락킹막을 형성할 때보다는 열처리 온도를 상승시켰다.

시편3(S $_3$)은 캡슐화막으로 Al $_2\text{O}_3$ 막을 원자층 증착방법을 사용하여 120\AA 의 두께로 형성하였다. 이때, 알루미늄 소스가스 및 산소 소스가스는 Al(CH

$_4$) $_3$ 가스 및 H $_2$ O가스를 각각 사용하였다. 그리고, 캡슐화막은 열처리하지 않았다.

그리고 나서, 시편1(S $_1$)과 마찬가지로 ILD공정, 메탈공정을 수행하여 시편2(S $_2$)와 시편3(S $_3$)의 하부전극 및 상부전극에 메탈콘택을 형성하였다.

그 다음, 시편2(S $_2$) 및 시편3(S $_3$) 각각에 대하여 시편1(S $_1$)과 마찬가지로 전압을 변화시켜가면서 분극도를 측정하여 그 결과를 도 8에 도시하였다. 도 8에는 시편1(S

$_1$)에 대한 분극이력곡선도 함께 도시하였다.

한편, 시편1(S $_1$), 시편2(S $_2$) 및 시편3(S $_3$)에서 12개의 칩다이를 선택하고, 배리어 콘택저항을 각각 측정하여 그 결과를 도 9에 도시하였다.

도 8을 참조하면, 시편2(S $_2$)의 분극이력곡선의 면적은 시편1(S $_1$)의 분극이력곡선의 면적보다 작다는 것을 확인할 수 있다. 즉, ILD 공정에서 시편2(S

$_2$)의 캐패시터 유전막의 강유전성은 시편1(S $_1$)보다 열화되었음을 알 수 있다. 그리고, 시편3(S

3)의 잔류 분극도는 거의 0에 가깝기 때문에 캐패시터 유전막의 강유전성이 완전히 열화된 것을 확인할 수 있다. 이로부터 다음과 같은 결론을 내릴 수 있다.

-시편2(S₂)의 캡슐화막(TiO₂막)은 ILD공정에서 수소의 확산을 차단할 수는 있으나, 시편1(S₁)과 같이 캡슐화막을 2중막(TiO₂\ Al₂O₃막)으로 형성한 경우보다 수소 차단효과는 약하다.

-시편1(S₁)의 블라킹막(TiO₂막)에 대한 열처리 온도는 시편2(S₂)의 캡슐화막(TiO₂막)에 대한 열처리 온도보다 낮다. 따라서, 블라킹막에 대한 절연특성이 시편2(S

2)의 캡슐화막보다는 나쁨에도 불구하고 시편1(S₁)의 수소 차단효과가 좋으므로, 수소확산 차단기능은 시편1(S₁)의 캐패시터 보호막이 주로 수행한다.

- 시편2(S₂)와 같이 단일막으로 캡슐화막을 형성하고, 600℃ 이상의 열처리를 통하여 캡슐화막의 절연특성을 향상시킨다고 하더라도 수소에 의한 캐패시터 열화문제를 완전히 해결하지는 못한다.

- 시편3(S₃)의 캐패시터의 유전막(Al₂O₃막)이 완전히 열화된 이유는 캡슐화막을 형성하는 방법과 관련된다. 즉, 산소 소스가스로서 H

2O가스를 사용하였기 때문이다. 그런데, 본 발명은 블라킹막을 형성한 후 캐패시터 보호막을 형성한다. 따라서, 캐패시터 보호막(Al

2O₃)을 원자층 증착방법으로 형성할 때에 산소 소스가스로 H₂O가스를 사용할 수가 있다.

도 9를 참조하면, 시편1(S₁)의 배리어 콘택저항은 시편3(S₃)의 배리어 콘택저항보다는 작다는 것을 알 수 있다. 그리고, 시편2(S

2)의 배리어 콘택저항은 평균 1MΩ이상으로 배리어 콘택저항이 열화되었음을 알 수 있다. 이로부터 다음과 같은 결론을 내릴 수 있다.

- 시편1(S₁)의 캡슐화막 중 블라킹막을 형성할 때의 열처리 온도는 450℃로써 시편2(S₂)의 캡슐화막을 형성할 때의 열처리 온도인 600℃보다는 낮다. 따라서, 시편2(S

2)의 배리어 콘택저항이 열화된 이유는 고온 열처리 공정을 수행하여 캡슐화막을 열처리함으로써, 산소가 콘택 플러그로 확산하였기 때문이다.

- 시편3(S₃)의 캡슐화막은 시편 2(S₂)의 캡슐화막보다 산소의 확산을 방지하는 능력이 우수하다. 한편, 시편1(S

1)의 캡슐화막 중 캐패시터 보호막은 시편3(S₃)의 캡슐화막과 동일한 조건으로 형성되었다. 그런데, 산소확산차단 능력은 시편1(S

1)의 캡슐화막이 우수하다. 따라서, 캡슐화막을 2중막으로 형성하면 캡슐화막의 산소차단능력이 향상된다.

상기에서는 첨부한 도면을 참고하여 본 발명에 대한 바람직한 실시예를 상세하게 설명하였다. 그러나, 본 발명은 이에 한정되는 것은 아니고, 본 발명의 기술적 사상의 범위 안에서 당 분야에서 통상의 지식으로 그 변형이나 그 개량이 가능하다.

발명의 효과

본 발명에 따른 반도체 메모리 소자에 일 측면에 따르면, 캐패시터 유전막이 ILD막, 패시베이션막 등의 내부에 봉입된 수소에 의하여 유전특성이 열화되는 것을 방지할 수 있게 된다. 또한, 본 발명에 따른 반도체 메모리 소자의 다른 측면에 따르면, 코발트 실리사이드막과 같은 저저항 콘택용 배리어막이 구비되기 때문에 반도체 메모리 소자의 동작속도를 향상시킬 수 있다.

본 발명에 따른 반도체 메모리 소자 제조방법의 일 측면에 따르면, 다중막으로 이루어진 캡슐화막으로 캐패시터를 감싸므로써 캐패시터를 수소 소스가스로부터 보호할 수 있다. 즉, 캐패시터를 형성하고 나서 수행되는 ILD공정 등에서 유발되는 수소 소스가스에 의해 캐패시터 유전막이 열화되는 것을 방지할 수 있다. 또한, 본 발명에 따른 반도체 소자 제조방법의 또 다른 측면에 따르면, 산소 분위기 하에서 수행되는 고온 열처리 공정에서 반도체 메모리 소자의 콘택저항이 상승하는 것을 방지할 수 있다. 아울러, 패시베이션막을 형성하기 전에 완충막 및/또는 수소침투 방지막을 형성하게 되면, 패시베이션 공정에서 유발된 수소에 의하여 캐패시터 유전막이 열화되는 것을 방지할 수 있다.

(57)청구의 범위

청구항1

하부전극, 상부전극 및 상기 하부전극과 상부전극 사이에 삽입된 캐패시터 유전막을 포함하는 캐패시터; 및상기 캐패시터의 전 표

면을 감싸며 적어도 2개의 서로 다른 절연물질로 이루어진 물질막을 포함하는 다중 캡슐화막; 상기 다중 캡슐화막 상에 형성된 절연막; 및 상기 다중 캡슐화막 및 상기 절연막을 관통하여 상기 상부전극을 콘택하는 메탈콘택을 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항2

제 1 항에 있어서, 상기 다중 캡슐화막은 적어도 블라킹막과 캐패시터 보호막을 포함하되, 상기 블라킹막이 상기 캐패시터 보호막의 안쪽에 구비되며 상기 블라킹막과 상기 캐패시터 보호막은 서로 다른 물질로 이루어진 것을 특징으로 하는 반도체 메모리 소자.

청구항3

제 2 항에 있어서, 상기 다중 캡슐화막은 2 중막이고, 상기 블라킹막은 상기 상부전극 메탈콘택이 상기 상부전극을 콘택하는 부분을 제외하고 캐패시터의 전 표면을 감싸는 절연막이고, 상기 캐패시터 보호막은 상기 블라킹막의 전 표면을 감싸는 절연막인 것을 특징으로 하는 반도체 메모리 소자.

청구항4

제 2 항에 있어서, 상기 블라킹막은 상기 블라킹막의 하부에 형성된 물질막과 상기 캐패시터 보호막 사이의 반응을 방지할 수 있는 물질로 이루어지고, 상기 캐패시터 보호막은 상기 절연막 내에 봉입된 수소가 캐패시터 유전막으로 침투하는 것을 방지할 수 있는 물질로 이루어진 것을 특징으로 하는 반도체 메모리 소자.

청구항5

제 2 항에 있어서, 상기 블라킹막은 상기 캐패시터 유전막의 휘발을 방지할 수 있는 물질로 이루어지고, 상기 캐패시터 보호막은 상기 절연막 내에 봉입된 수소가 캐패시터 유전막으로 침투하는 것을 방지할 수 있는 물질로 이루어진 것을 특징으로 하는 반도체 메모리 소자.

청구항6

제 2 항에 있어서, 상기 블라킹막은 상기 캐패시터 유전막의 휘발을 방지하고, 상기 블라킹막의 하부에 형성된 물질막과 상기 캐패시터 보호막 사이의 반응을 방지할 수 있는 물질로 이루어지고, 상기 캐패시터 보호막은 상기 절연막 내에 봉입된 수소가 캐패시터 유전막으로 침투하는 것을 방지할 수 있는 물질로 이루어진 것을 특징으로 하는 반도체 메모리 소자.

청구항7

제 2 항에 있어서, 상기 블라킹막은 400℃ 내지 600℃ 사이의 온도 및 산소 분위기 하에서 열처리된 안정화 물질막인 것을 특징으로 하는 반도체 메모리 소자.

청구항8

제 2 항에 있어서, 상기 캐패시터 보호막은 원자층 증착방법에 의하여 형성된 ALD-물질막인 것을 특징으로 하는 반도체 메모리 소자.

청구항9

제 2 항에 있어서, 상기 블라킹막과 상기 캐패시터 보호막의 각각의 두께는 50 Å 내지 1500 Å 사이인 것을 특징으로 하는 반도체 메모리 소자.

청구항10

제 2 항에 있어서, 상기 블라킹막은 TiO_2 막, Ta_2O_5 막, BaTiO_3 막, SrTiO_3 막, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막 또는 PbTiO_3 막으로 이루어진 것을 특징으로 하는 반도체 메모리 소자.

청구항11

제 2 항에 있어서, 상기 캐패시터 보호막은 Al_2O_3 , TiO_2 막, Ta_2O_5 막, BaTiO_3 막, SrTiO_3 막, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막 또는 PbTiO_3 막이되, 상기 블라킹막을 이루는 물질과는 다른 물질로 이루어진 것을 특징으로 하는 반도체 메모리 소자.

청구항12

제 1 항에 있어서, 상기 메탈콘택 및 상기 절연막 상에 형성된 패시베이션막을 더 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항13

제 12 항에 있어서, 상기 메탈콘택과 상기 패시베이션막 사이에 게재된 수소침투 방지막을 더 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항14

제 13 항에 있어서, 상기 수소침투 방지막은 금속 산화물막인 것을 특징으로 하는 반도체 메모리 소자.

청구항15

제 13 항에 있어서, 상기 수소침투 방지막은 원자층 증착방법에 의하여 형성된 ALD-물질막인 것을 특징으로 하는 반도체 메모리 소자.

청구항16

제 13 항에 있어서, 상기 수소침투 방지막은 Al_2O_3 막, TiO_2 막, Ta_2O_5 막, BaTiO_3 막, SrTiO_3 막, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막 또는 PbTiO_3 막인 것을 특징으로 하는 반도체 메모리 소자.

청구항17

제 13 항에 있어서, 상기 수소침투 방지막은 400℃ 내지 600℃ 사이에서 열처리된 안정화 물질막인 것을 특징으로 하는 반도체 메모리 소자.

청구항18

제 13 항에 있어서, 상기 메탈콘택과 상기 수소침투 방지막 사이에 게재된 완충막을 더 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항19

제 1 항에 있어서, 상기 캐패시터 하부전극이 코발트 실리사이드막으로 이루어진 것을 특징으로 하는 반도체 메모리 소자.

청구항20

제 1 항에 있어서, 상기 캐패시터 하부에 형성된 층간절연막; 및 상기 층간절연막 내에 구비되어 상기 캐패시터 하부전극과 전기적으로 연결되는 도전성 플러그를 더 포함하고, 상기 캐패시터 하부전극과 상기 도전성 플러그 사이에 코발트 실리사이드막이 포함된 계면막을 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항21

제 1 항에 있어서, 상기 캐패시터 하부에 형성된 층간절연막; 및 상기 층간절연막 내에 구비되어 상기 캐패시터 하부전극과 전기적으로 연결되는 도전성 플러그를 더 포함하고, 상기 도전성 플러그는 코발트 실리사이드막으로만 이루어지거나, 도전막과 코발트 실리사이드막이 순차적으로 적층된 2중막으로 이루어진 것을 특징으로 하는 반도체 메모리 소자.

청구항22

하부전극, 상부전극 및 상기 하부전극과 상부전극 사이에 삽입된 캐패시터 유전막을 포함하는 캐패시터; 및 상기 캐패시터의 전 표면을 감싸며 적어도 서로 다른 절연물질로 이루어진 블라킹막과 캐패시터 보호막을 가진 다중 캡슐화막을 포함하되, 상기 블라킹막은 상기 캐패시터 보호막보다는 안쪽에 구비되는 것을 특징으로 하는 반도체 메모리 소자.

청구항23

하부전극, 상부전극 및 상기 하부전극과 상부전극 사이에 삽입된 캐패시터 유전막을 포함하는 캐패시터, 상기 캐패시터 상에 형성된 절연막, 상기 절연막을 관통하여 상기 상부전극과 콘택하는 메탈콘택 및 상기 메탈콘택 상에 형성된 패시베이션막을 포함하는 반도체 메모리 소자로서, 상기 메탈콘택과 상기 패시베이션막 사이에 수소침투 방지막이 게재된 것을 특징으로 하는 반도체 메모리 소자.

청구항24

제 23 항에 있어서, 상기 수소침투 방지막은 Al_2O_3 막, TiO_2 막, Ta_2O_5 막, BaTiO_3 막, SrTiO_3 막, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막 또는 PbTiO_3 막인 것을 특징으로 하는 반도체 메모리 소자.

청구항25

제 23 항에 있어서, 상기 수소침투 방지막은 ALD-물질막인 것을 특징으로 하는 반도체 메모리 소자.

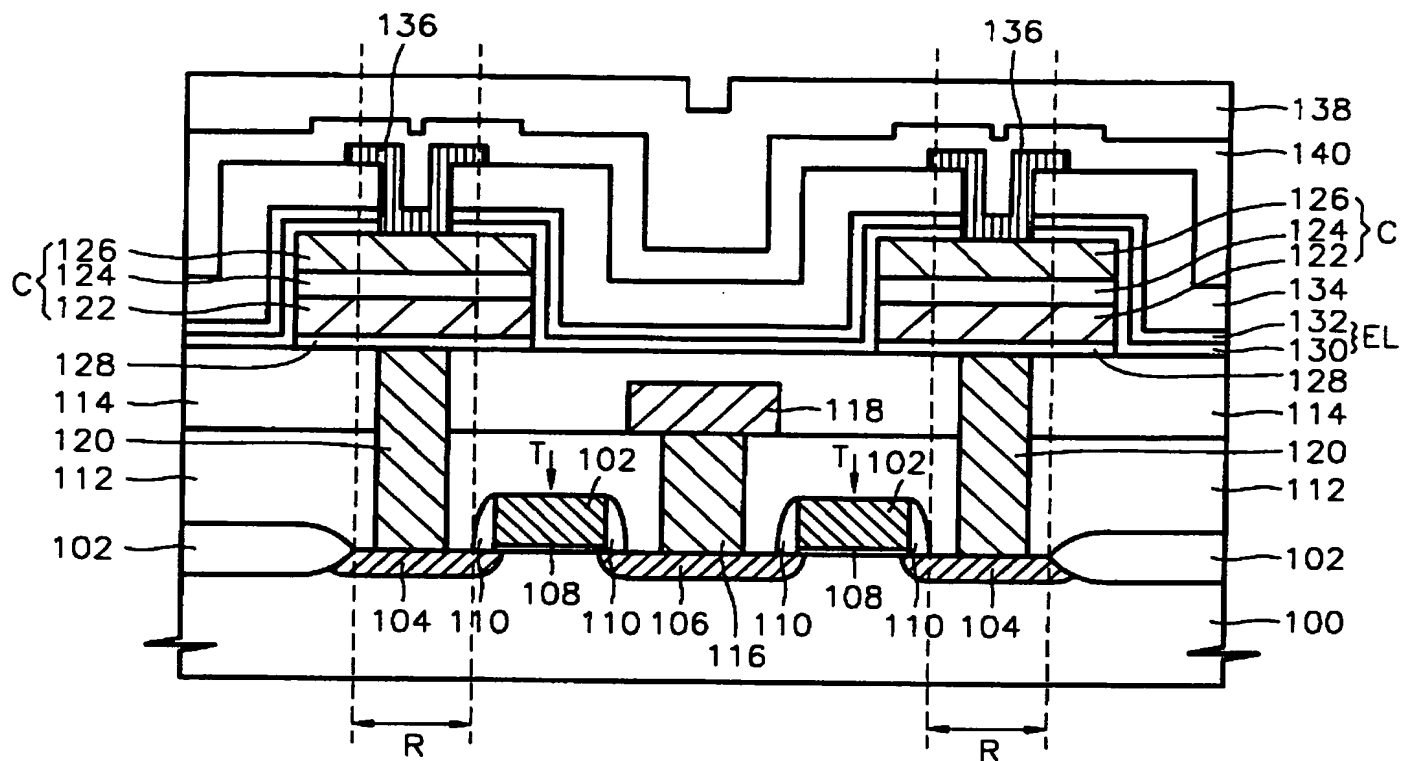
청구항26

하부전극, 상부전극 및 상기 하부전극과 상기 상부전극 사이에 삽입되는 캐패시터 유전막을 포함하는 반도체 메모리 소자의 캐패시터를 반도체 기판에 형성하는 단계; 및 상기 캐패시터의 전 표면을 직접적으로 감싸는 다중 캡슐화막을 형성하는 단계를 포함하

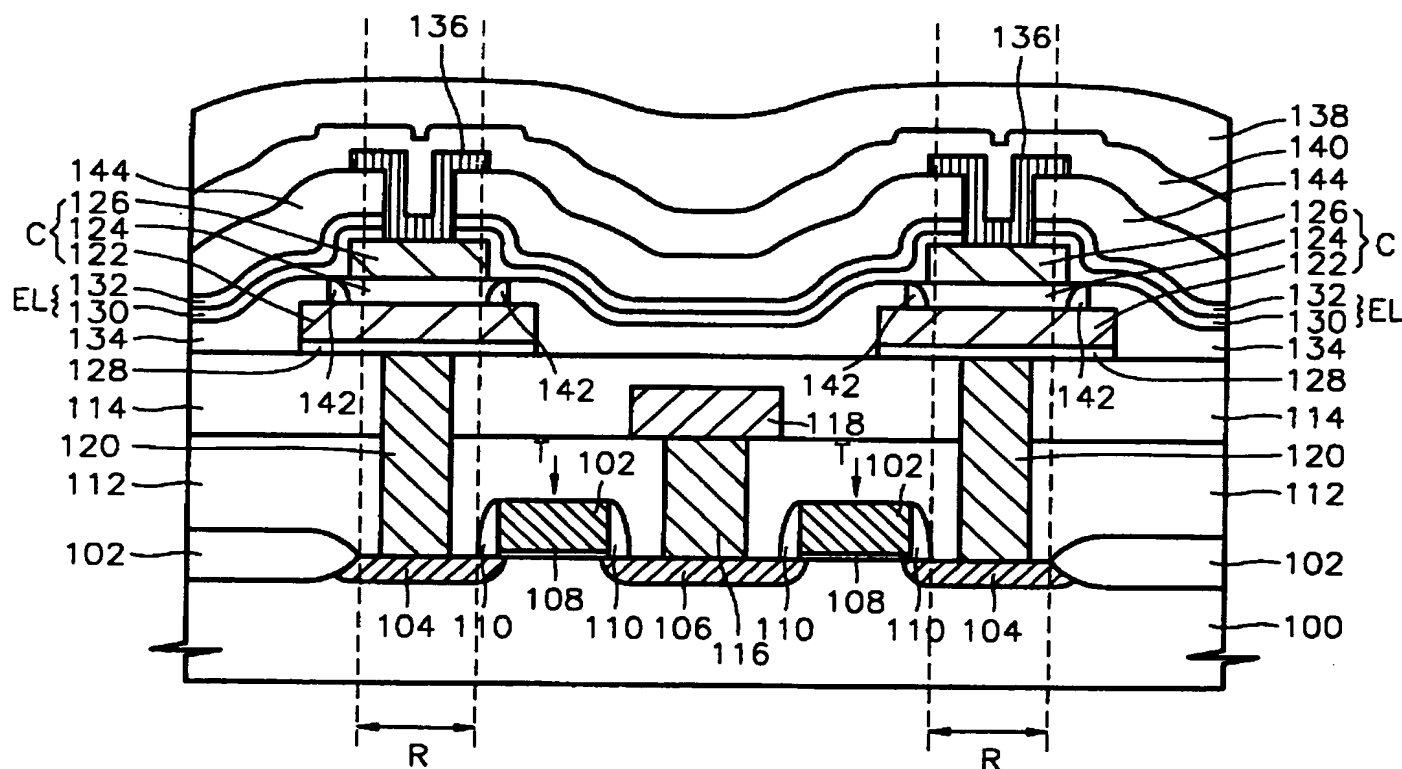
는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

도면

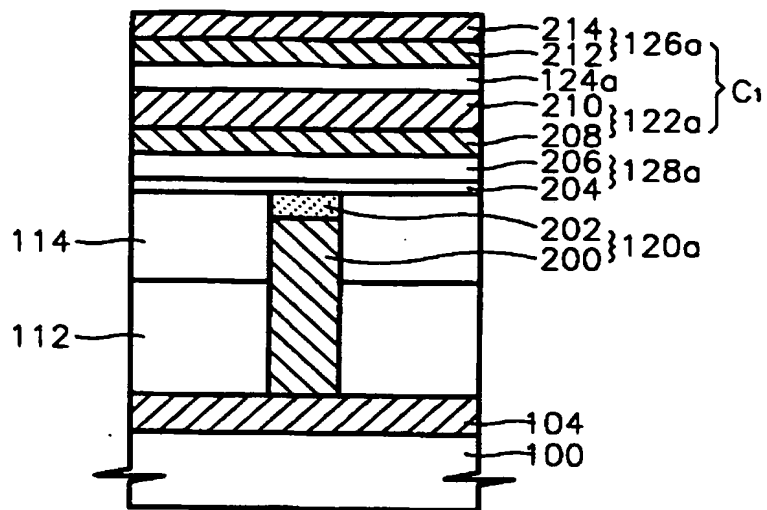
도면1a



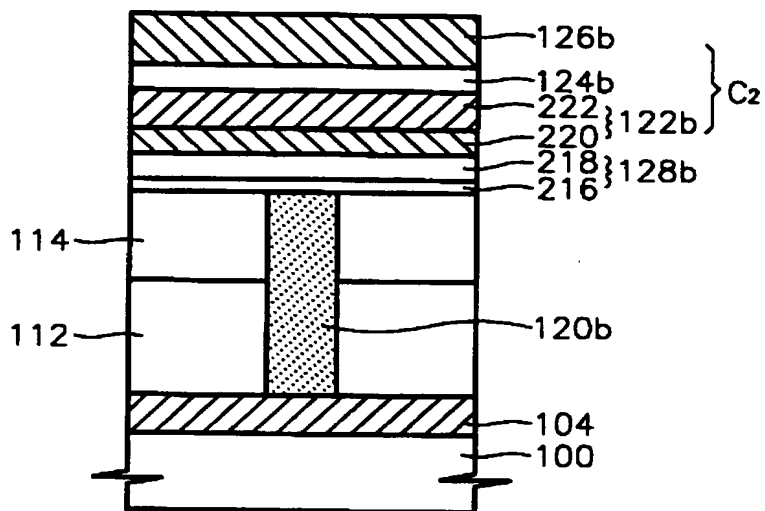
도면1b



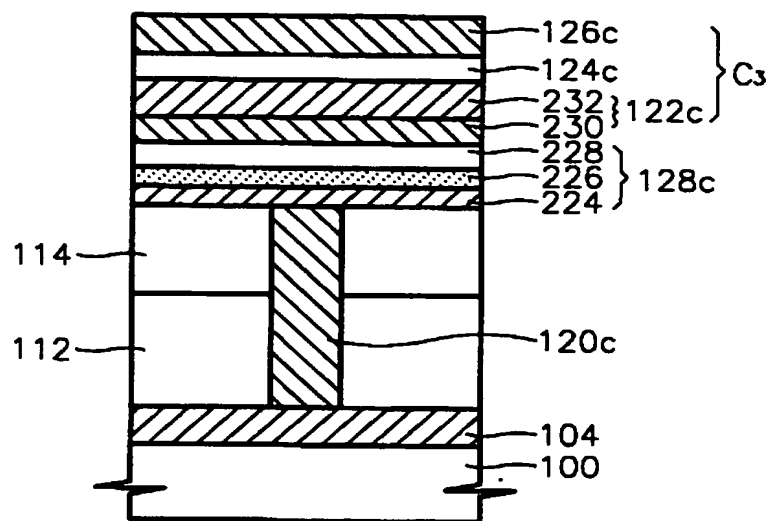
도면2a



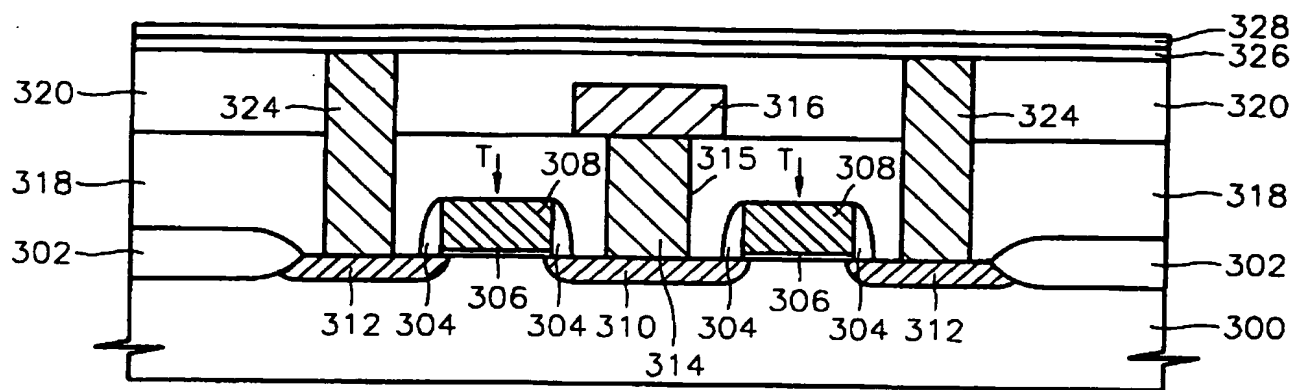
도면2b



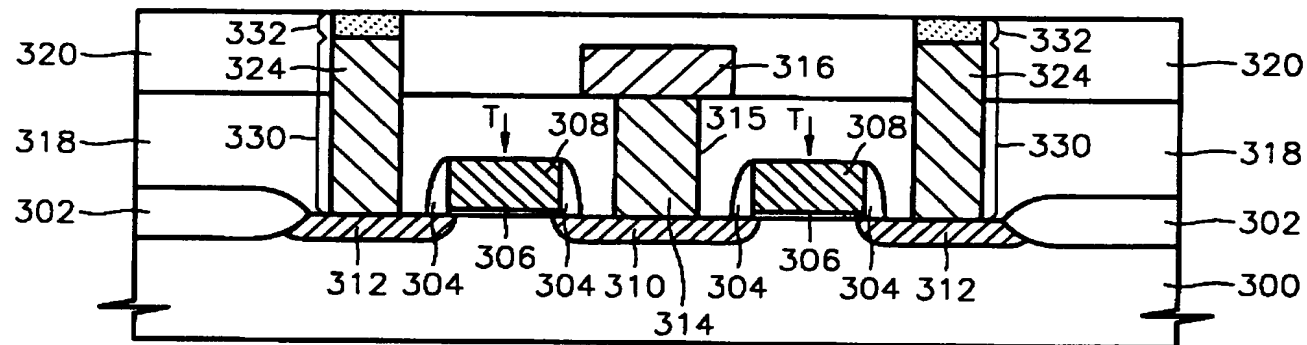
도면2c



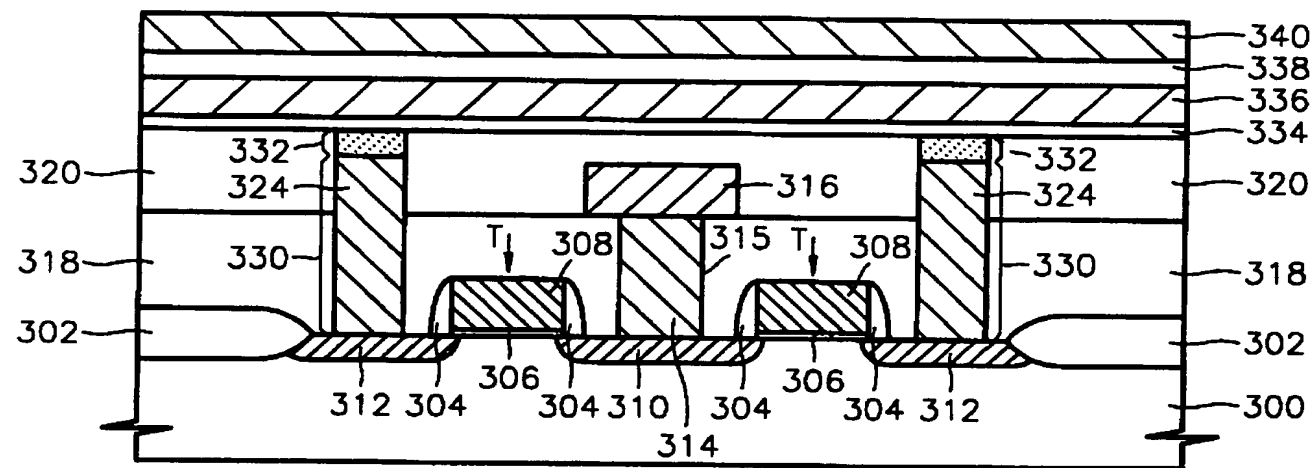
도면2d



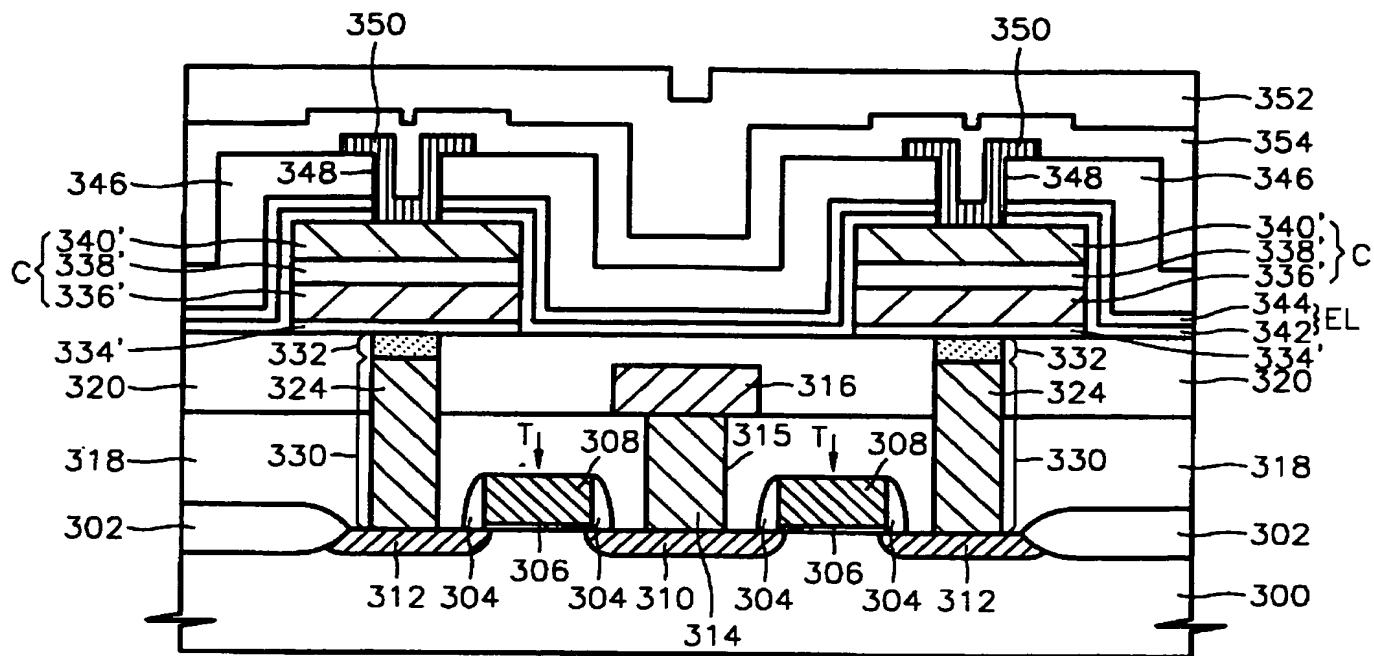
도면3c



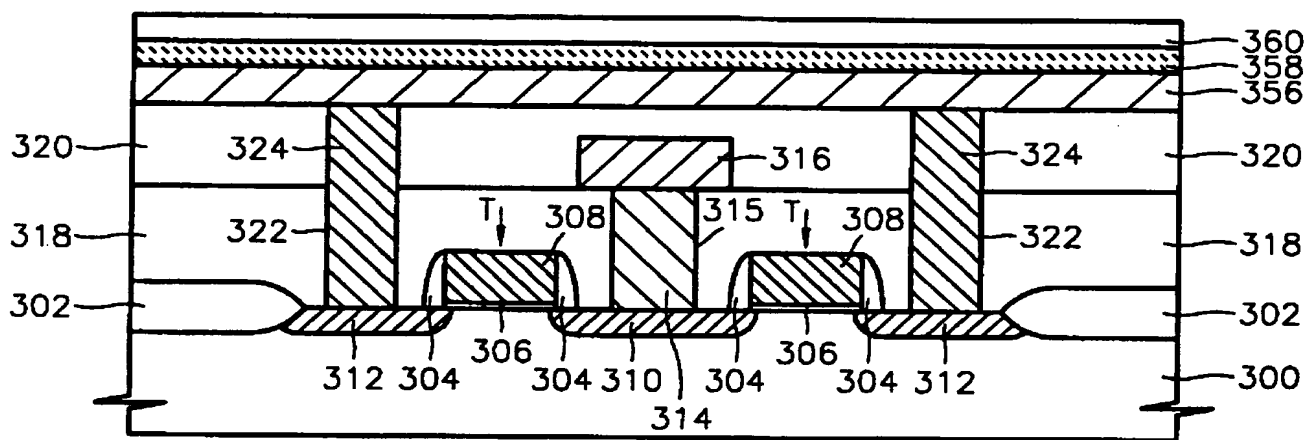
도면3d



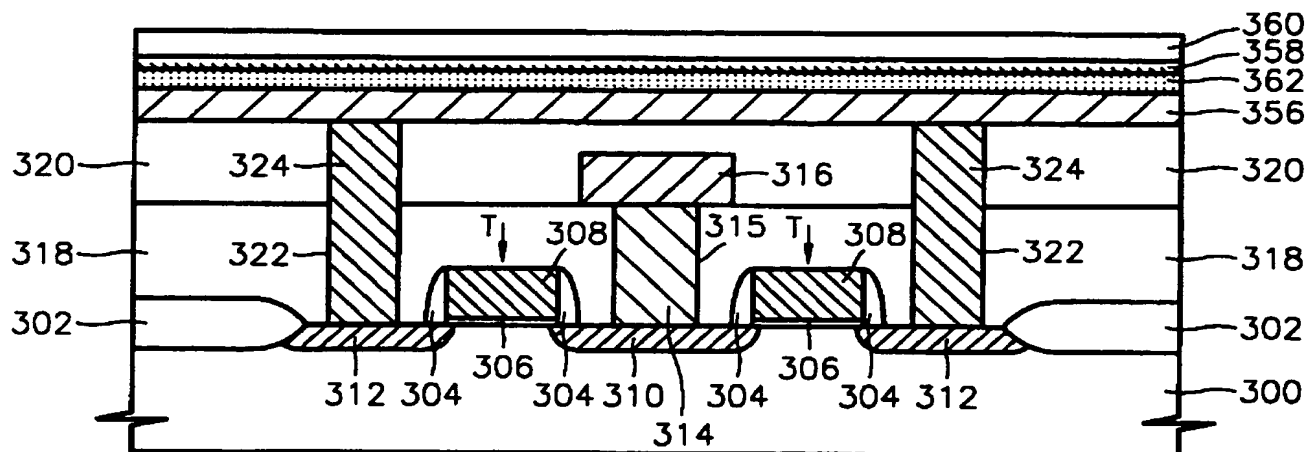
도면3e



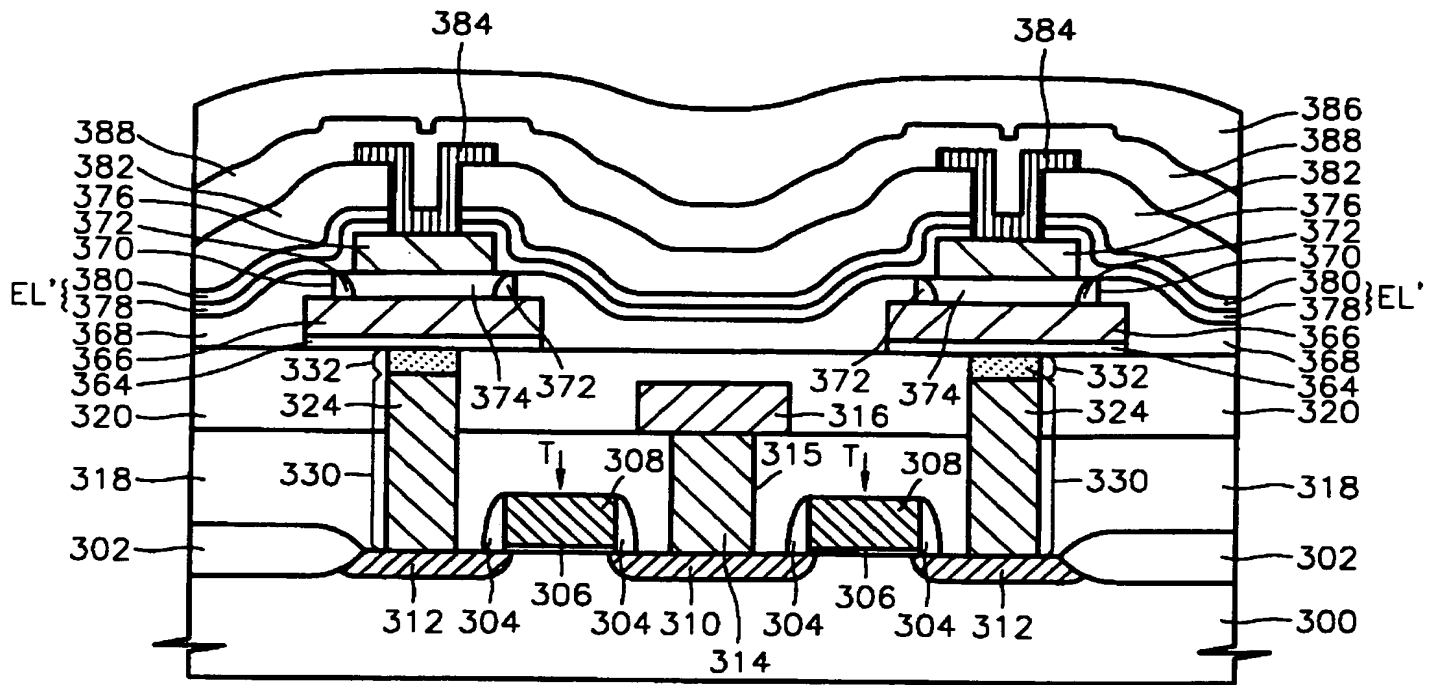
도면4a



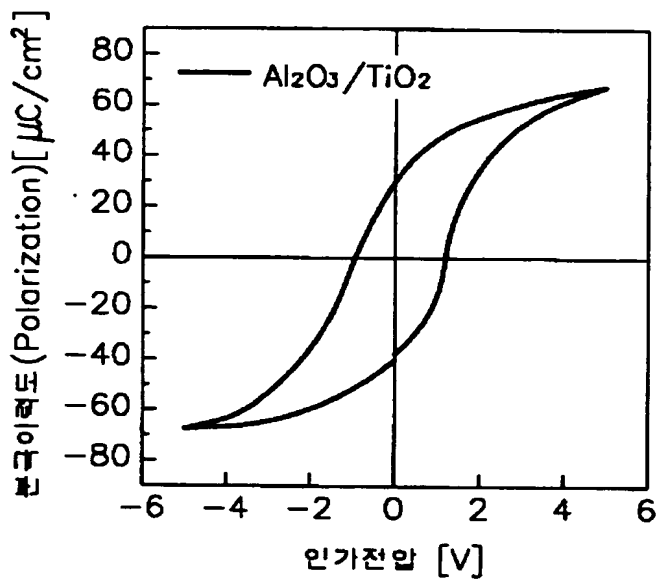
도면4b



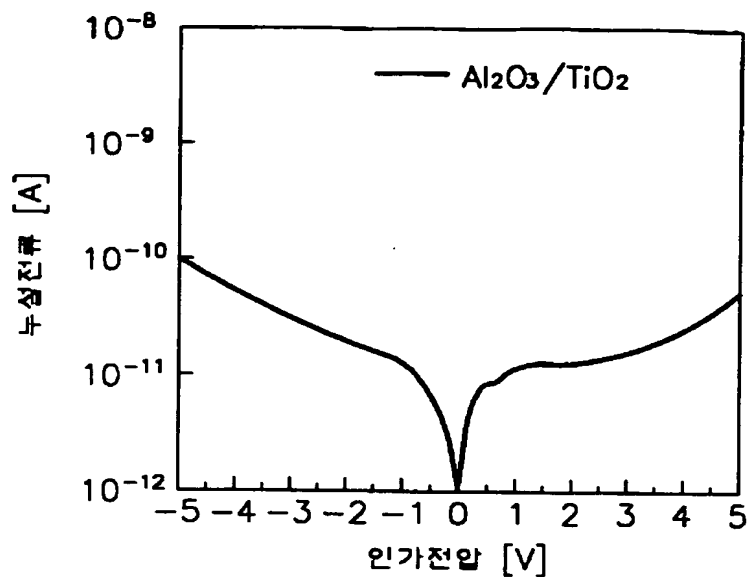
도면5



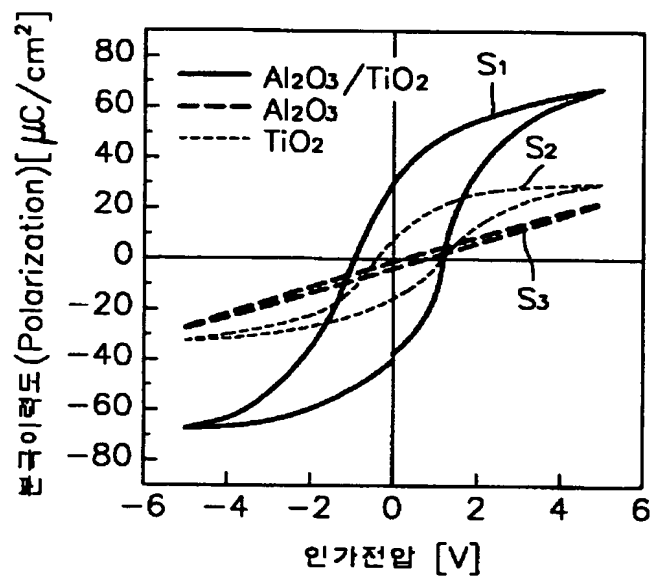
도면6



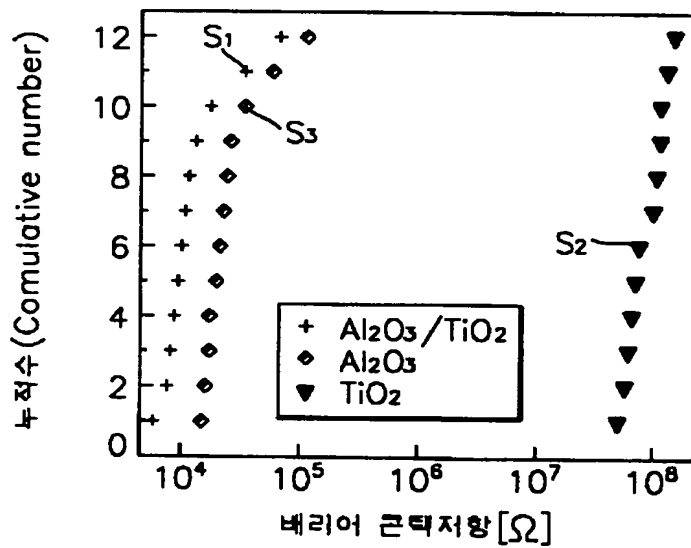
도면7



도면8



도면9



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED TEXT OR DRAWING~~
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.